

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>7</sup>  
G09G 3/30

(11) 공개번호 특2001-0112646  
(43) 공개일자 2001년12월20일

(21) 출원번호 10-2001-0033126  
(22) 출원일자 2001년06월13일

(30) 우선권주장 2000-176246 2000년06월13일 일본(JP)

(71) 출원인 가부시키가이샤 한도오따이 에네루기 켄큐쇼  
야마자키 순페이  
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 야마자키순페이  
일본국가나가와켄아쓰기시하세398가부시키가이샤한도오따이에네루기켄큐쇼(내)  
코야마준  
일본국가나가와켄아쓰기시하세398가부시키가이샤한도오따이에네루기켄큐쇼(내)  
카즈호소키  
일본국가나가와켄아쓰기시하세398가부시키가이샤한도오따이에네루기켄큐쇼(내)

(74) 대리인 이병호

실용성부: 없음

(54) 디스플레이 장치

요약

바탕 게이트 TFT를 사용한 디스플레이 장치의 화질이 향상된다. 특히, 휘도변동이 제어되며, 장치를 사용하고 있는 중에 주변온도 변화에 의해 야기된 EL 소자를 통해 흐르는 전류량의 변화를 억제함으로써 드라이버 회로의 주파수 특성이 보상된다. 감시 EL 소자는 화소부 EL 소자에 더하여 설치된다. 감시 EL 소자는 비퍼 증폭기 등과 함께 온도 보상 회로를 구성한다. 전류는 온도 보상회로를 통해 화소부 EL 소자에 공급된다. 이것은 온도변화에 대해 화소부 EL 소자를 흐르는 전류량을 일정하게 유지하며 휘도변동을 제어하는 것을 가능하게 한다. 입력신호는 샘플링을 정확하게 수행하도록 시간축으로 신장된다.

도 1

디스플레이 장치, 버퍼 증폭기, 감시 EL 소자, 정전류 발생기

발명자

본 발명의 권리범을 설명

도 1은 본 발명에 따른 EL 디스플레이 장치의 온도 보상회로의 구성을 도시한 도면.

도 2는 본 발명에 따른 EL 디스플레이 장치의 온도 보상회로의 또다른 구성을 도시한 도면.

도 3은 본 발명에 따른 EL 디스플레이 장치의 가산기 회로의 구성을 도시한 도면.

도 4는 종래기술의 EL 디스플레이 장치를 도시한 블록도.

도 5는 종래기술에서 EL 디스플레이 장치의 화소부의 구성을 도시한 도면.

도 6은 종래기술에서 EL 디스플레이 장치의 화소의 구성을 도시한 도면.

도 7은 종래기술의 EL 디스플레이 장치를 구동하는 방법에 따른 타이밍도.

도 8은 본 발명에 따른 EL 디스플레이 장치의 버퍼 증폭기의 회로도.

도 9a 및 9b는 본 발명에 따른 EL 디스플레이 장치의 평면도 및 이의 단면도.

도 10a 및 10b는 본 발명에 따른 EL 디스플레이 장치의 평면도 및 이의 단면도.

도 11은 본 발명에 따른 EL 디스플레이 장치의 단면도.

도 12는 본 발명에 따른 EL 디스플레이 장치의 단면도.

도 13a 및 13b는 본 발명에 따른 EL 디스플레이 장치의 평면도 및 이의 단면도.

도 14는 본 발명에 따른 EL 디스플레이 장치의 단면도.

도 15는 본 발명에 따른 EL 디스플레이 장치의 소스 신호 라인 구동회로를 도시한 회로도.

도 16은 본 발명에 따른 EL 디스플레이 장치의 평면도.

도 17은 본 발명에 따른 EL 디스플레이 장치의 소스 신호 라인 구동회로를 나타낸 블록도.

도 18은 EL 소자의 온도특성을 보인 그래프.

도 19a 내지 19c는 본 발명에 따른 EL 디스플레이 장치를 제조하는 공정을 보인 도면.

도 20은 본 발명에 따른 EL 디스플레이 장치를 제공하는 공정을 보인 도면.

도 21은 본 발명에 따른 EL 디스플레이 장치의 소스 신호 라인 구동회로를 보인 회로도.

도 22a 및 도 22b는 본 발명에 따른 EL 디스플레이 장치의 시간축 신장회로를 보인 회로도.

도 23은 본 발명에 따른 EL 디스플레이 장치의 온도 보상회로의 정전류 발생기의 구성을 도시한 도면.

도 24는 온도변화에 의해 야기된 본 발명의 EL 디스플레이 장치의 휘도변화를 보인 그래프.

도 25a 내지 25f는 본 발명의 EL 디스플레이 장치가 적용된 전자장비를 보인 도면.

\* 도면의 주요 부분에 대한 부호의 설명 \*

501 : 전원 라인 502 : 버퍼 증폭기

503 : 감시 EL 소자 504 : 정전류 발생기

505 : 가산기 회로 520 : 비반전 증폭기 회로

521 : 제 1 저항기 522 : 제 2 저항기

발명의 상세한 설명

발명의 목적

발명에 속하는 기술 및 그 분야의 종래기술

본 발명은 기관 상에 EL(전자 발광) 소자를 형성함으로써 제조되는 전자 디스플레이 장치에 관한 것으로, 특히 반도체 소자(반도체 박막으로부터 형성된 소자)를 사용한 EL 디스플레이 장치에 관한 것이다. 본 발명은 디스플레이부로서 EL 디스플레이 장치를 채용한 전자장비에 관한 것이다.

여기서 EL 소자는 싱글렛 여기(형광)로부터 발광을 이용하는 소자와 트리플렛 여기(인광)로부터 발광을 이용하는 소자 모두를 포함한다.

자기발광(self-luminous)으로서 EL 소자를 갖는 EL 디스플레이 장치가 최근에 활발히 개발되고 있다. EL 디스플레이 장치는 유기 EL 디스플레이(OELD) 혹은 유기 발광 다이오드(OLED)라고도 한다.

EL 디스플레이 장치는 액정 디스플레이 장치와는 달리 자기발광한다. EL 소자는 EL층이 한 쌍의 전극(애노드 및 캐소드) 사이에 개재되도록 구성된다. EL층은 보통 적층구조를 갖는다. 이에 대한 전형적인 예는 Eastman Kodak사의 Tang 등에 의해 제안된 정공 이송층, 발광층 및 전자 이송층으로 구성된 적층구조이다. 이 구조는 발광 효율이 매우 높으며, 현재 개발 중의 거의 모든 EL 디스플레이 장치에 의해 채용되고 있다.

EL 층의 구조의 다른 예는 애노드, 정공 주입층, 정공 이송층, 발광층 및 전자 이송층이 이 순서로 구성된 적층구조, 및 애노드, 정공 주입층, 정공 이송층, 발광층, 전자 이송층 및 전자 주입층이 이 순서로 구성된 적층구조를 포함한다. 발광층은 형광 안료 등으로 도핑될 수 있다.

이 명세서에서, 애노드와 캐소드 사이에 형성된 모든 층을 일괄하여 EL층이라 한다. 그러므로, EL층은 전술한 정공 주입층, 정공 이송층, 발광층, 전자 이송층 및 전자 주입층 모두를 포함한다.

한 쌍의 전극(캐소드 및 애노드)은 소정의 전압을 인가한 바와 같은 구성의 EL 층에 인가하고, 이에 의해서 캐리어 재결합이 발광층에서 일어나 층이 광을 방출하게 된다. EL 소자의 2 개의 전극(애노드 및 캐소드) 사이에 인가된 전압을 여기서는 EL 소자 구동으로 나타낸다. 여기서 애노드, EL층 및 캐소드로 구성된 발광 소자를 EL 소자라 한다.

도 4는 멀티 그레이 스케일(multi-gray scale) EL 디스플레이 장치를 도시한 블록도이다. 여기 도시된 디스플레이 장치는 디지털 신호를 소스 신호 라인 구동회로에 입력함으로써 그레이 스케일을 얻고 디지털 그레이 스케일 방법을 사용하는 유형의 것이다. 특히, 화소가 광을 방출하는 시간의 기간을 제어함으로써 휘도를 가변시키는 시분할 그레이 스케일 방법을 이용하는 경우를 기술한다.

도 4의 EL 디스플레이 장치는 화소부(101)와 화소부(101)의 주변에 구성된 소스신호 라인 구동회로(102) 및 게이트 신호 라인 구동회로(103)를 구비한다. 화소부 및 구동회로는 기판 상에 형성된 박막 트랜지스터(이하 TFT라 함)로 구성된다. EL 구동전압을 제어하는 외부 스위치(116)는 화소부(101)에 접속된다.

소스 신호 라인 구동회로(102)는 기본적으로 시프트 레지스터(102a), 래치(A)(102b) 및 래치(B)(102c)를 포함한다. 시프트 레지스터(102a)는 클럭 신호(CLK) 및 시작 펄스(SP)의 입력을 수신한다. 래치(A)(102b)는 디지털 데이터 신호의 입력을 수신하고(도 4에서 VD로 표시된) 래치(B)(102c)는 래치신호의 입력을 수신한다(도 4에 S\_LAT로 표시되었음).

화소부(101)에 입력될 디지털 데이터 신호(VD)는 시분할 그레이 스케일 데이터 신호 발생회로(114)에서 발생된다. 이 회로는 이미지 정보를 포함하는 아날로그 신호 혹은 디지털 신호인 비디오 신호를 시분할 그레이 스케일을 위한 디지털 데이터 신호(VD)로 변환한다. 회로(114)는 또한 시분할 그레이 스케일 디스플레이에 필요한 타이밍 펄스 등을 발생한다.

전행적으로, 시분할 그레이 스케일 데이터 신호 발생회로(114)는 n 비트 그레이 스케일(n은 2 이상의 정수)에 따라 1 프레임 기간을 복수의 서브-프레임 기간으로 분할하는 수단, 복수의 서브-프레임 기간 각각에서 기입기간 혹은 디스플레이 기간을 선택하는 수단, 및 디스플레이 기간의 길이를 설정하는 수단을 포함한다.

화소부(101)는 일반적으로 도 5에 도시한 바와 같이 구성된다. 도 5에서, 화소부(101)는 선택신호가 입력되는 게이트 신호 라인(G1 내지 Gy) 및 디지털 신호가 입력되는 소스 신호 라인(데이터 신호 라인이라고도 함)(S1 내지 Sx)을 구비한다. 디지털 데이터 신호를 디지털 비디오 신호라 한다.

화소부는 소스 신호 라인(S1 내지 Sx)에 평행한 전원 라인(V1 내지 Vx)을 또한 구비하고 있다. 전원 라인(V1 내지 Vx)의 전위를 전원전위라고 한다. 배선(Vb1 내지 Vby)는 게이트 신호 라인(G1 내지 Gy)과 평행하게 설치된다. 배선(Vb1 내지 Vby)는 외부 스위치(116)에 접속된다.

복수의 화소(104)는 화소부(101)에 매트릭스로 배열된다. 화소(104) 중 하나를 도 6에 확대하여 도시하였다. 도 6에서, 참조부호 1701은 스위칭 소자로서 기능하는 TFT(이하 스위칭 TFT라 함)을 나타낸다. 1702는 EL 소자(1703)에 공급되는 전류를 제어하기 위한 소자로서 기능하는 TFT(전류 제어소자)(TFT를 구동 TFT라 함)를 나타낸다. 1704로 표시된 것은 캐패시터 축적부이다.

스위칭 TFT(1701)는 게이트 신호가 입력되는 게이트 신호 라인(G1 내지 Gy) 중 하나인 게이트 신호 라인(1705)에 접속된 게이트 전극을 구비한다. 스위칭 TFT(1701)는 소스 영역 및 드레인 영역을 구비하고, 이 중 하나는 소스 신호 라인(1706)에 접속되며 다른 하나는 구동 TFT(1702)의 게이트 전극과 캐패시터 축적부(1704)에 접속된다. 소스 신호 라인(1706)은 디지털 데이터 신호가 입력되는 소스 신호 라인(S1 내지 Sx) 중 하나이다.

구동 TFT(1702)는 소스 영역 및 드레인 영역을 구비하고, 이 중 하나는 소스 전원 라인(1707)에 접속되며 다른 하나는 EL 소자(1703)에 접속된다. 전원 라인(1707)은 전원 라인(V1 내지 Vx) 중 하나이다. 캐패시터 축적부(1704)는 전원 라인(V1 내지 Vx) 중 하나인 전원 라인(1707)에 접속된다.

EL 소자(1703)는 애노드, 캐소드, 및 이 애노드와 캐소드 사이에 개재된 EL 층으로 구성된다. 애노드가 구동 TFT(1702)의 소스 영역 혹은 드레인 영역에 접속될 때, 애노드는 화소전극으로서 작용하고 캐소드는 대향 전극으로서 작용한다. 반면, 캐소드가 구동 TFT(1702)의 소스 영역 혹은 드레인 영역에 접속될 때, 캐소드는 화소전극으로서 작용하고 애노드는 대향전극으로서 작용한다. 대향전극의 전위는 여기서는 대향 전위라 한다. 대향전극과 화소전극 간 전위차

는 EL 구동전압을 발생하고 이것은 EL층에 인가된다.

EL 소자(1703)의 대향전극은 배선(Vb1 내지 Vby) 중 하나를 통해 외부 스위치에 접속된다(도 5 참조).

다음에, 시분할 그레이 스케일 방법에 따른 멀티 그레이 스케일 EL 디스플레이 장치를 기술한다. 여기 제공되는 설명은 n 비트 디지털 신호가 2<sup>n</sup> 그레이 스케일의 디스플레이를 얻기 위해 입력되는 경우를 예로서 취한다.

도 7은 타이밍도를 도시한 것이다.

먼저, 1 프레임 기간이 n 서브-프레임 기간으로 분할된다(SF<sub>1</sub> 내지 SF<sub>n</sub>).

화소부 내 모든 화소를 사용하여 하나의 이미지가 디스플레이되는 기간은 1 프레임 기간(F)으로서 정의된다. 여기서, 1 프레임 기간은 약 1/60초로 설정된다. 기간이 이와 같이 길게 설정되었을 때, 사람의 눈은 동화로 표시되는 이미지에 서 폴리카는 인식하지 못한다.

그레이 스케일 수가 증가함에 따라, 1 프레임 기간 내 서브-프레임 기간 수도 증가하고 구동회로(소스신호 라인 구동 회로 및 게이트 신호 라인 구동회로), 특히 소스신호 라인 구동회로는 고주파로 구동되어야 한다.

각각의 서브-프레임 기간은 기입기간(Ta) 및 디스플레이 기간(Ts)으로 분할된다. 기입 기간은 1 서브-프레임 기간에 모든 화소에 신호를 입력하는 기간이다. 디스플레이 기간(점등(light-on) 기간이라고도 함)은 이미지가 표시되게 EL 소자가 광을 방출할 것인지 여부를 선택하기 위한 기간이다.

도 7에 도시한 EL 구동전압은 EL 소자가 광을 방출하게 되었을 때 EL 소자의 EL 구동전압에 대응한다. 부연하여, 광을 방출하도록 지정된 화소에서 EL 소자의 EL 구동전압은 기입 기간 동안, EL 소자가 광을 방출하지 않게 하는 레벨, 예를 들면 OV에 있다. 반면, 디스플레이 기간 동안, EL 구동전압은 EL 소자가 광을 방출하게 하는 레벨에 있다.

대향 전위는 도 4 및 도 5에 도시한 외부 스위치(116)에 의해 제어된다. 기입기간 동안, 대향전위는 전원전위와 동일한 레벨로 유지된다. 반면, 디스플레이 기간에서 대향전위는, 대향전위와 EL소자가 광을 방출하게 하는 전원전위 간 전위차를 발생하도록 변경된다.

먼저, 도 5 및 도 6의 참조부호를 사용하여 각각의 서브-프레임 기간의 먼저 기입기간에 대해 상세히 설명한다. 다음에 시분할 그레이 스케일에 대해 설명한다.

먼저, 게이트 신호 라인(G1)에 접속된 모든 스위칭 TFT(1701)을 턴 온하기 위해서 게이트 신호가 게이트 신호 라인(G1)에 입력된다.

이 명세서에서, 턴 온되는 TFT는 TFT의 소스-드레인이 도통상태가 되도록 이 TFT의 게이트 전압이 변경됨을 의미한다.

다음에, 기입기간이 시작되고 디지털 데이터 신호가 소스 신호 라인(S1 내지 Sx)에 입력된다. 이 때, 대향 전위는 전원 라인(V1 내지 Vx)의 전원전위와 동일한 레벨로 유지된다. 디지털 데이터 신호는 '0' 혹은 '1'의 정보를 포함한다. '0' 혹은 '1'의 디지털 데이터 신호는 각각 하이 전압 및 로우 전압을 갖는 신호들이다.

소스 신호 라인(S1 내지 Sx)에 입력되는 디지털 데이터 신호는 턴 온된 각각의 스위칭 TFT(1701)를 통해 각각의 구동 TFT(1702)의 게이트 전극에 입력된다. 캐패시터 축적부(1704) 또한 디지털 데이터 신호의 입력을 수신하여 이를 그에 보유한다.

선택신호는 게이트 신호 라인(G2 내지 Gy)에 연속적으로 입력되며, 모든 화소는 디지털 데이터 신호의 입력을 수신하고 입력된 디지털 데이터 신호가 각각의 화소에 보유될 때까지 상기 동작을 반복한다. 각각의 서브-프레임 기간에 디지털 데이터 신호가 모든 화소에 입력되는 데 걸리는 기간이 기입 기간이다.

모든 화소에 디지털 데이터 신호를 입력한 후에, 모든 스위칭 TFT(1701)이 턴 오프된다.

턴 오프된 TFT라는 것은 TFT의 게이트 전압이 이 TFT의 소스-드레인을 비도통이 되게 변경됨을 의미한다.

그후, 대향전극에 접속된 외부 스위치(116)는 대향 전위와 전원전위 간 전위차를 EL 소자가 광을 방출하게 하는 정도로 변경하는데 사용된다.

디지털 데이터 신호가 '0'의 정보를 가질 때, 구동 TFT(1702)는 턴 오프되고 EL 소자(1703)은 광을 방출하지 않는다. 반면, 디지털 데이터 신호가 '1'의 정보를 가질 때, 구동 TFT(1702)가 턴 온된다. 이어서 EL 소자(1703)의 화소 전극은 전원전위로 유지되고 EL 소자(1703)는 광을 방출한다. 이러한 식으로, 디지털 데이터 신호에 포함된 정보는 EL 소자가 광을 방출할지 여부를 결정한다. EL 소자가 광을 방출하도록 지정된 모든 화소는 동시에 점등되며, 점등된 화소는 함께 이미지를 형성한다. 화소에 의한 디스플레이가 지속되는 기간이 디스플레이 기간이다.

$n$  서브-프레임 기간( $SF_1$  내지  $SF_n$ )에서 기입기간( $Ta_1$  내지  $Ta_n$ )은 동일한 길이를 갖는다. 서브-프레임 기간( $SF_1$  내지  $SF_n$ )은 각각 디스플레이 기간( $TS_1$  내지  $TS_n$ )을 갖는다.

예를 들면, 디스플레이 기간의 길이는  $TS_1 : TS_2 : TS_3 : \dots : TS_{(n-1)} : TS_n = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$  의 관계를 만족하도록 설정될 수 있다.  $2^n$  그레이 스케일 내에서 원하는 그레이 스케일의 디스플레이는 디스플레이 기간들을 조합하여 얻어질 수 있다.

여기서, 소정의 화소는 기간( $TS_n$ ) 동안 점등된다.

이어서, 기입기간은 다시 시작되므로 모든 화소는 디지털 데이터 신호를 수신하여 디스플레이 기간을 시작한다. 이어서, 디스플레이 기간( $TS_1$  내지  $TS_{(n-1)}$ ) 중 하나가 시작된다. 여기서, 소정의 화소는 기간( $TS_{(n-1)}$ ) 동안 점등된다.

동일한 동작이 나머지  $(n-2)$  서브-프레임 기간 동안 반복되어, 디스플레이 기간( $TS_{(n-2)}$ ,  $TS_{(n-3)}$ , ..., 및  $TS_1$ )이 연속적으로 설정되고 소정의 화소가 각각의 서브-프레임 기간동안 점등된다.

1 프레임 기간은  $n$  서브-프레임 기간들이 온되어 오프되었을 때 완료된다. 화소가 점등되는 디스플레이 기간의 누적 길이는 화소의 그레이 스케일을 결정한다.

예를 들면, 휘도는  $n=8$ 일 때 100%이고 해당 화소는 모든 디스플레이 기간에 광을 방출한다. 화소가 디스플레이 기간( $TS_1$ ,  $TS_2$ )에서만 광을 방출할 때, 휘도는 75%이다. 화소가 디스플레이 기간( $TS_3$ ,  $TS_5$ ,  $TS_8$ ) 동안 광을 방출하도록 지정된다면, 휘도는 16%일 수 있다.

#### 본 발명의 다른 목적, 특징 및 기술적 효과

본 발명의 목적은 EL 디스플레이 장치, 특히 바텀 게이트 TFT를 사용한 EL 디스플레이 장치의 화질을 개선하는 것이다. 목적을 이하 상세히 한다.

진술한 시분할 그레이 스케일 방법이 채용될 때, 화소 내 EL 소자에 흐르는 전류량은 각각의 서브-프레임 기간 동안 디스플레이 내내 일정하게 유지되는 것이 바람직하다. 그러나, 실제로 전류량은 온도에 따라 변한다.

도 18은 EL 소자의 온도특성을 도시한 그래프이다. 형측은 EL 소자의 2개의 전극 간에 인가되는 인가전압을 나타낸다. 종측은 EL 소자에 흐르는 전류량을 나타낸다.

어떤 온도에서 EL 소자의 전극 간에 전압이 인가될 때 EL 소자에 얼마나 많은 전류가 흐르는지를 이 그래프로부터 알 수 있다. 온도  $T_1$ 은 온도  $T_3$ 보다 높은  $T_2$ 보다도 높다.

그래프는 화소부의 EL 소자의 전극 간에 인가되는 전압의 동일 레벨은 동일한 양의 전류가 EL 소자를 통해 흐르게 한다는 것을 보이고 있는데, EL 소자에 흐르는 전류량은 EL 소자의 온도특성에 따라 EL층의 온도가 높아질 때 증가할 수 있다.

이에 따라, 화소부 내 EL 소자를 통해 흐르는 전류량은 EL 디스플레이 장치가 사용되는 온도(이하 주변온도라 함)에 따라 변하며, 이에 의해서 화소부의 EL 소자의 휘도가 변경된다. 그러므로 그레이 스케일 디스플레이의 정확도가 유지될 수 없어 EL 디스플레이 장치의 신뢰성이 떨어진다.

더구나, EL 소자를 통해 흐르는 전류량이 증가될 때 전류소비가 증가된다.

본 발명의 또다른 목적은 휘도 변화와 주변온도 변화에 기인한 EL 소자의 전력소비 증가를 제어하는 것이다.

더구나, 바텀 게이트 TFT는 다음의 두 가지 문제가 있다.

문제 1은 다음과 같다.

바텀 게이트 TFT에서, 게이트 전극의 측벽은 제조공정에 따라 이 위에 절연막 및 반도체 박막이 형성되어야 하기 때문에 순탄해야 한다. 그러므로, 바텀 게이트 TFT에서 게이트 전극의 폭(게이트 길이)은 게이트 전극의 측벽이 순탄할 필요가 없는 탑 게이트 TFT에서 게이트 전극의 폭(게이트 길이)만큼 작게 될 수 없다.

문제 2는 다음과 같다.

바텀 게이트 TFT에서, 게이트 전극은 소스 영역 및 드레인 영역으로서 사용될 반도체 박막 밑에 형성되므로 반도체 박막은 불록해진다. 다결정 실리콘막과 같은 다결정질 막이 불록한 반도체 박막으로서 사용된다면, 막의 결정도(crystallinity)는 평탄면 상에 형성된 다결정질 막보다 열등하며, 전계 효과 이동도와 같은 특성(이동도)이 또한 떨어진다.

이들 문제 때문에, 바텀 게이트 TFT로 구성된 드라이버 회로의 주파수 특성은 탑 게이트 TFT로 구성된 드라이버 회로의 주파수 특성보다 열등하다.

VGA 규격 혹은 그 이상을 만족하는 대량의 화소만이 아니라 대형 디스플레이 스크린을 갖는 디스플레이 장치에서, 많은 소스 신호 라인과 고속이 동작이 필요하다. 고속동작은 또한 전문한 시분할 그레이 스케일 방법이 채용되어 복수의 서브-프레임 기간이 제공되는 경우에 필요하다. 따라서, 동작속도는 바텀 게이트 TFT를 사용하는 소스 신호 라인 구동회로에서 특히 불충분하다.

본 발명의 목적을 요약하여, 본 발명은 휘도변화 및 주변온도 변화에 기인한 EL 소자의 전류소비의 증가를 제어할 수 있고, 바텀 게이트 TFT로 구성된 소스 신호 라인 구동회로의 열등한 주파수 특성에도 불구하고 대향 스크린, 고품위 이상의 그레이 스케일을 얻을 수 있는 디스플레이 장치를 제공하는 것을 목적으로 한다.

상기 목적을 달성하기 위해서, 온도를 감시하는 EL 소자(이하 감시 EL 소자라 함)가 EL 디스플레이 장치에 설치된다. 온도 감시 EL 소자의 일 전극은 정전류 발생기에 접속된다. 감시 EL 소자의 온도특성은 화소의 EL 소자에 흐르는 전류량을 일정하게 하기 위해 이용된다. 더구나, 비디오 신호는 소스 신호 라인 구동회로에서 비디오 신호의 샘플링에 따진 것을 제공하기 위해서 시간축 신장이 된다.

이하, 본 발명의 구성을 기술한다.

본 발명에 따라, 복수의 픽셀의 복수의 EL 소자와 감시 EL 소자를 포함하는 디스플레이 장치가 제공되며, 감시 EL 소자의 온도 특성이 온도 변화에 기인하여 복수의 EL 소자를 통해 흐르는 전류의 양의 변화를 감소시키는데 사용되는 것을 특징으로 한다.

본 발명에 따라서,

복수의 화소를 갖는 화소부;

전원 라인;

버퍼 증폭기;

감시 EL 소자;

정전류 발생기를 포함하는 디스플레이 장치에서,

상기 복수의 화소 각각은 박막 트랜지스터 및 EL 소자를 구비하며;

상기 감시 EL 소자 및 상기 EL 소자 각각은 제 1 전극, 제 2 전극 및 상기 제 1 전극과 상기 제 2 전극 사이에 개재된 EL 층을 구비하며;

상기 감시 EL 소자의 상기 제 1 전극은 상기 정전류 발생기에 접속되며;

상기 감시 EL 소자의 제 1 전극은 버퍼 증폭기의 비반전 입력단자에 접속되며;

상기 버퍼 증폭기의 출력단자는 전원 라인에 접속되고;

상기 전원 라인의 전위는 상기 박막 트랜지스터를 통해 상기 EL 소자의 상기 제 1 전극에 제공되는 디스플레이 장치가 제공된다.

본 발명에 따라서,

복수의 화소를 갖는 화소부;

전원 라인;

버퍼 증폭기;

감시 EL 소자;

정전류 발생기;

가산기 회로를 포함하는 디스플레이 장치에서,

상기 복수의 화소 각각은 박막 트랜지스터와 EL 소자를 구비하며;

상기 감시 EL 소자 및 상기 EL 소자 각각은 제 1 전극, 제 2 전극 및 상기 제 1 전극과 상기 제 2 전극 사이에 개재된 EL 층을 구비하며;

상기 감시 EL 소자의 상기 제 1 전극은 상기 정전류 발생기에 접속되며;

상기 감시 EL 소자의 상기 제 1 전극은 상기 버퍼 증폭기의 비반전 입력단자에 접속되며;

상기 버퍼 증폭기의 출력단자는 상기 가산기 회로의 입력단자에 접속되고;

상기 가산기 회로의 출력단자는 상기 전원 라인에 접속되고;



상기 가산기 회로의 상기 입력단자와 이의 상기 출력단자 간 전위차는 일정하게 유지되며;

상기 전원 라인의 전위는 상기 박막 트랜지스터를 통해 상기 EL 소자의 상기 제 1 전극에 제공되는 디스플레이 장치가 제공된다.

본 발명에 따라서,

복수의 소스 신호 라인;

복수의 게이트 신호 라인;

복수의 전원 라인;

복수의 화소;

상기 복수의 소스 신호 라인에 신호를 입력하기 위한 소스 신호 라인 구동회로;

상기 복수의 게이트 신호 라인에 신호를 입력하기 위한 게이트 신호 라인 구동회로;

감시 EL 소자; 및

상기 구성요소들이 형성된 절연기판을 포함하는 디스플레이 장치에서,

상기 복수의 화소 각각은 EL 소자, 스위칭 TFT, 및 구동 TFT 및 캐패시터 축적부를 구비하고;

상기 감시 EL 소자 및 상기 EL 소자 각각은 제 1 전극, 제 2 전극 및 상기 제 1 전극과 상기 제 2 전극 사이에 개재된 EL 층을 구비하며;

상기 스위칭 TFT의 게이트 전극은 상기 복수의 게이트 신호 라인 중 하나에 접속되고, 상기 스위칭 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 복수의 소스 신호 라인 중 하나에 접속되고, 다른 하나는 상기 구동 TFT의 게이트 전극에 접속되며;

상기 구동 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 복수의 전원 라인 중 하나에 접속되고, 다른 하나는 상기 EL 소자의 상기 제 1 전극 및 상기 제 2 전극 중 하나에 접속되며;

상기 캐패시터 축적부의 일 전극은 상기 복수의 전원 라인 중 하나에 접속되고 다른 전극은 구동 TFT의 게이트 전극에 접속되며;

상기 감시 EL 소자는 온도변화에 기인하여 상기 복수의 전원 라인 중 하나로부터 상기 EL 소자에 흐르는 전류량 변화를 감지시키는 데 사용되는 것인 디스플레이 장치가 제공된다.

본 발명에 따라서,

복수의 소스 신호 라인;

복수의 게이트 신호 라인;

복수의 전원 라인;

복수의 화소;

상기 복수의 소스 신호 라인에 신호를 입력하기 위한 소스 신호 라인 구동회로;

상기 복수의 게이트 신호 라인에 신호를 입력하기 위한 게이트 신호 라인 구동회로;

감시 EL 소자;

버퍼 증폭기;

정전류 발생기;

상기 구성요소들이 형성된 절연기판을 포함하는 디스플레이 장치에서,

상기 복수의 화소 각각은 EL 소자, 스위칭 TFT, 구동 TFT 및 캐패시터 축적부를 구비하고;

상기 감시 EL 소자 및 상기 EL 소자 각각은 제 1 전극, 제 2 전극 및 상기 제 1 전극과 상기 제 2 전극 사이에 개재된 EL 층을 구비하며;

상기 스위칭 TFT의 게이트 전극은 상기 복수의 게이트 신호 라인 중 하나에 접속되고;

상기 스위칭 TFT는 소스 영역 및 드레인 영역을 구비하고 이들 중 하나는 상기 복수의 소스 신호 라인 중 하나에 접속되고, 다른 하나는 상기 구동 TFT의 게이트 전극에 접속되며;

상기 구동 TFT의 소스 영역 및 드레인 영역을 구비하고 이들 중 하나는 상기 복수의 전원 라인 중 하나에 접속되고, 다른 하나는 상기 EL 소자의 상기 제 1 전극에 접속되며;

상기 캐패시터 축적부의 일 전극은 상기 복수의 전원 라인 중 하나에 접속되고 다른 전극은 구동 TFT의 게이트 전극에 접속되며;

상기 감시 EL 소자의 제 1 전극은 상기 정전류 발생기에 접속되고;

상기 감시 EL 소자의 제 1 전극은 상기 버퍼 증폭기의 비반전 입력단자에 접속되고;

상기 버퍼 증폭기의 출력단자는 상기 복수의 전원 라인에 접속되고;

상기 전원 라인의 전위는 상기 구동 TFT를 통해 상기 EL 소자의 상기 제 1 전극에 제공되는 디스플레이 장치가 제공된다.

본 발명에 따라서,

복수의 소스 신호 라인;

복수의 게이트 신호 라인;

복수의 전원 라인;

복수의 화소;

상기 복수의 소스 신호 라인에 신호를 입력하기 위한 소스 신호 라인 구동회로;

상기 복수의 게이트 신호 라인에 신호를 입력하기 위한 게이트 신호 라인 구동회로;

감시 EL 소자;

버퍼 증폭기;

정전류 발생기;

가산기 회로; 및

상기 구성요소들이 형성된 절연기판을 포함하는 디스플레이 장치에서,

상기 복수의 화소 각각은 EL 소자, 스위칭 TFT, 및 구동 TFT, 캐패시터 축적부를 구비하고;

상기 감시 EL 소자 및 상기 EL 소자 각각은 제 1 전극, 제 2 전극 및 상기 제 1 전극과 상기 제 2 전극 사이에 개재된 EL 층을 구비하며;

상기 스위칭 TFT의 게이트 전극은 상기 복수의 게이트 신호 라인 중 하나에 접속되고;

상기 스위칭 TFT는 소스 영역 및 드레인 영역을 구비하고 이들 중 하나는 상기 복수의 소스 신호 라인 중 하나에 접속되고, 다른 하나는 상기 구동 TFT의 게이트 전극에 접속되며;

상기 구동 TFT의 소스 영역 및 드레인 영역을 구비하고 이들 중 하나는 상기 복수의 전원 라인 중 하나에 접속되고, 다른 하나는 상기 EL 소자의 상기 제 1 전극에 접속되며;

상기 캐패시터 축적부의 일 전극은 상기 복수의 전원 라인 중 하나에 접속되고 다른 전극은 구동 TFT의 게이트 전극에 접속되며;

상기 감시 EL 소자의 제 1 전극은 상기 정전류 발생기에 접속되며;

상기 감시 EL 소자의 제 1 전극은 상기 버퍼 증폭기의 비반전 입력단자에 접속되고;

상기 버퍼 증폭기의 출력단자는 상기 가산기 회로 입력단자에 접속되고;

상기 가산기 회로의 출력단자는 상기 전원 라인에 접속되며;

상기 가산기 회로의 상기 입력단자와 상기 가산기 회로의 상기 출력단자 간 전위차는 일정하게 유지되며;

상기 전원 라인 각각의 전위는 상기 구동 TFT를 통해 상기 EL 소자의 상기 제 1 전극에 제공되는 디스플레이 장치가 제공된다.

제 1 전극이 애노드이고 제 2 전극이 감시 EL 소자 및 EL 소자의 캐소드인 것을 특징으로 하는 디스플레이 장치가 제공될 수 있다.

제 1 전극이 캐소드이고 제 2 전극이 감시 EL 소자 및 EL 소자의 애노드인 것을 특징으로 하는 디스플레이 장치가 제공될 수 있다.

상기 버퍼 증폭기 및 상기 정전류 발생기 중 적어도 하나는 각각의 화소의 박막 트랜지스터가 형성된 동일 기판 상에 형성된 박막 트랜지스터로 구성된 것을 특징으로 하는 디스플레이 장치가 제공될 수 있다.

상기 버퍼 증폭기, 상기 정전류 발생기 및 상기 가산기 회로 중 적어도 하나는 각각의 화소의 박막 트랜지스터가 형성된 동일 기판 상에 형성된 박막 트랜지스터로 구성된 것을 특징으로 하는 디스플레이 장치가 제공될 수 있다.

상기 비퍼 증폭기 및 상기 정전류 발생기 중 적어도 하나는 스위칭 TFT 및 구동 TFT가 형성된 동일 기판 상에 형성된 TFT로 구성된 것을 특징으로 하는 디스플레이 장치가 제공될 수 있다.

상기 비퍼 증폭기, 상기 정전류 발생기 및 상기 가산기 회로 중 적어도 하나는 스위칭 TFT 및 구동 TFT가 형성된 동일 기판 상에 형성된 TFT로 구성된 것을 특징으로 하는 디스플레이 장치가 제공될 수 있다.

본 발명에 따라서,

복수의 화소의 복수의 EL 소자;

복수의 화소를 구성하는 복수의 화소 TFT;

화소 TFT를 구동하는 소스 신호 라인 구동회로 및 게이트 신호 라인 구동회로; 및

상기 구성요소들이 형성된 절연기판을 포함하는 디스플레이 장치에서,

상기 소스 신호 라인 구동회로는 디지털 신호를 연속적으로 샘플링하며, 샘플링은 복수의 신호에 대해 동시에 수행되는 것을 특징으로 하는 디스플레이 장치가 제공된다.

본 발명에 따라서,

복수의 화소의 복수의 EL 소자;

복수의 화소를 구성하는 복수의 화소 TFT;

화소 TFT를 구동하는 소스 신호 라인 구동회로 및 게이트 신호 라인 구동회로; 및

상기 구성요소들이 형성된 절연기판을 포함하는 디스플레이 장치에서,

상기 소스 신호 라인 구동회로는 k배 시간축 신장(k는 자연수)이 된 디지털 신호를 연속적으로 샘플링하는 수단을 구비하며, 상기 샘플링은 k 비디오 신호에 대해 동시에 수행되는 것을 특징으로 하는 디스플레이 장치가 제공된다.

본 발명에 따라서,

복수의 화소의 복수의 EL 소자;

복수의 화소를 구성하는 복수의 화소 TFT;

화소 TFT를 구동하는 소스 신호 라인 구동회로 및 게이트 신호 라인 구동회로; 및

상기 구성요소들이 형성된 절연기판을 포함하는 디스플레이 장치에서,

상기 소스 신호 라인 구동회로는 아날로그 신호를 연속적으로 샘플링하는 수단을 구비하며, 샘플링은 복수의 신호에 대해 동시에 수행되는 것을 특징으로 하는 디스플레이 장치가 제공된다.

본 발명에 따라서,

복수의 화소의 복수의 EL 소자;

복수의 화소를 구성하는 복수의 화소 TFT;

화소 TFT를 구동하는 소스 신호 라인 구동회로 및 게이트 신호 라인 구동회로; 및

상기 구성요소들이 형성된 절연기판을 포함하는 디스플레이 장치에서,

상기 소스 신호 라인 구동회로는 k배 시간축 신장(k는 자연수)이 된 아날로그 신호를 연속적으로 샘플링하는 수단을 구비하며, 상기 샘플링은 k 비디오 신호에 대해 동시에 수행되는 것을 특징으로 하는 디스플레이 장치가 제공된다.

디스플레이 장치에서, 소스 신호 라인 구동회로를 구성하는 TFT가 바텀 게이트 TFT인 것을 특징으로 하는 디스플레이 장치가 제공된다.

EL 소자는 단색광을 방출하는 EL 층 및 컬러 변환층들을 조합하여 구비하여 컬러 디스플레이를 제공하는 것을 특징으로 하는 디스플레이 장치가 제공된다.

상기 EL 소자는 백색광을 방출하는 EL 층 및 컬러 필터들을 조합하여 구비하여 컬러 디스플레이를 제공하는 것을 특징으로 하는 디스플레이 장치가 제공된다.

상기 EL 소자의 상기 EL 층은 저분자량 유기물질 혹은 폴리머 유기물질로부터 형성된 것을 특징으로 하는 디스플레이 장치가 제공된다.

저분자 유기물질은  $Alq_3$  (트리스-8-퀴놀리라이트-알루미늄) 혹은 TPD(트리페닐라민 유도체)를 포함하는 것을 특징으로 하는 디스플레이 장치가 제공된다.

상기 폴리머 유기물질은 PPV(폴리페닐렌 비닐렌), PVK(폴리비닐 카바졸), 혹은 폴리카보네이트를 포함하는 것을 특징으로 하는 디스플레이 장치가 제공된다.

상기 EL 소자의 상기 EL 층은 무기물질로부터 형성된 것을 특징으로 하는 디스플레이 장치가 제공된다.

각각의 디스플레이 장치를 채용하는, 컴퓨터, 텔레비전, 전화, 모니터 장치 및 자동차용 항법 시스템이 제공될 수 있다.

## 발명의 구성 및 작용

### 실시형태 1

본 발명의 구성을 도 1을 참조하여 설명한다.

참조부호 501은 전원 라인을 나타낸다. 여기서 전원 라인은 소스 신호 라인에 입력된 디지털 데이터 신호에 응답하여 화소부 내 EL 소자(도시생략)의 한 전극에 소정의 전위를 제공하는 배선에 대응한다. 이 명세서에서, 전원 라인의 전위를 전원전위라 한다.

참조부호 502은 버퍼 증폭기를 나타내며, 503은 감시 EL 소자, 504는 정전류 발생기를 나타낸다. 감시 EL 소자(503)의 한 전극은 정전류 발생기(504)에 접속되어 있으므로 일정량의 전류가 감시 EL 소자(503)를 통해 흐른다. EL 소자의 EL층의 온도가 변할 때, 감시 EL 소자(503)에 흐르는 전류량이 변하는 것이 아니라 그 대신 정전류 발생기(504)에 접속된 감시 EL 소자(503)의 전극의 전위가 변한다.

각각의 화소 내 감시 EL 소자(503) 및 EL 소자는 소자의 두 개의 전극 간에 인가되는 전압 레벨에 대한 소자에 흐르는 전류량의 관계가 동일 온도에서 감시 EL 소자(503) 및 화소 EL 소자에 대해 동일하게 되도록 제조된다.

여기서, 버퍼 증폭기(502)에 접속된 감시 EL 소자(503)의 전극이 애노드이면 전원 라인(501)에 접속된 화소 EL 소자(화소전극)의 전극은 애노드이다. 반면, 버퍼 증폭기(502)에 접속된 감시 EL 소자(503)의 전극이 캐소드이면, 전원 라인(501)에 접속된 화소 EL 소자(화소 전극)의 전극은 캐소드이다.

버퍼 증폭기(502) 및 화소부 EL 소자의 대향 전극에 접속된 감시 EL 소자(503)의 전극에는 여기서는 거의 동일한 전위가 공급된다.

버퍼 증폭기(502)는 2 개의 입력단자와 하나의 출력단자를 갖는다. 입력단자 중 하나는 비반전 입력단자(+)이고 다른 하나는 반전 입력단자(-)이다. 감시 EL 소자(503)의 한 전극의 전위는 버퍼 증폭기(502)의 비반전 입력단자에 주어진다. 버퍼 증폭기의 출력단자는 전원 라인(501)에 접속된다. 버퍼 증폭기의 비반전 입력단자는 버퍼 증폭기의 출력단자에 접속된다.

버퍼 증폭기는 정전류 발생기(504)에 접속된 감시 EL 소자(503)의 전극의 전위를 전원 라인(501)의 배선 정전용량과 같은 부하가 변경하지 못하게 하는 회로이다. 따라서, 버퍼 증폭기(502)의 비반전 입력단자에 공급되는 전위는 전원 라인(501)의 배선 정전용량과 같은 부하에 의해 변경됨이 없이 출력단자로부터 출력되어 전원전위로서 전원 라인(501)에 공급된다.

그러므로, 주변온도가 변하여 감시 EL 소자(503) 및 화소부 EL 소자의 EL층의 온도가 변할 때에도 EL 소자에 흐르는 전류량이 일정하게 유지되게 전원전위가 변한다. 이것은 주변온도 변화에 기인한 휘도변화 및 전류소비 증가를 방지한다.

이 실시형태에 따라, 버퍼 증폭기(502)는 화소부와 동일한 기판 혹은 IC 칩 상에 형성될 수 있다. 마찬가지로 감시 EL 소자(503) 및 정전류 발생기(504)에도 적용된다.

감시 EL 소자(503)는 화소부 내에 포함될 수도 있고 혹은 화소부와는 별도로 설치될 수도 있다.

## 실시형태 2

고속동작이 요구되는 경우, 마트 게이트 TFT의 불충분한 주파수 특성을 보상하는 조치로서, 마트 게이트 TFT로 구성된 소스 신호 라인 구동회로는 몇 개의 블록으로 분할된다. 각각의 블록은 일부 소스 신호 라인에 연관된 신호를 동시에 처리하고, 그럼으로써 소스 신호 라인 구동회로의 처리속도가 증가한다.

종래기술의 예에서 기술된 시분할 그레이 스케일 방법을 채용하면서 소스 신호 라인 구동회로가 몇 개의 블록으로 분할된 회로로 구동되는 경우에 대해 먼저 기술한다. 도 17은 소스 신호 라인 구동회로의 개략도이다.

소스 신호 라인 구동회로는 k 개의 소스 신호 라인에의 출력에 연관된 블록들로 분할된다. 구체적으로, 래치(A) 및 래치(B) 각각은 m 개의 블록(래치(A)는 래치(A), 1 내지 래치(A), m을 가지며, 래치(B)는 래치(B), 1 내지 래치(B), m을 갖는다)으로 구성된다. 각각의 블록은 k 개의 래치회로로 구성된다.

외부로부터 입력되는 디지털 데이터 신호(VD)는 k 부분으로 분할된다.

k 부분으로 분할된 디지털 데이터 신호(VD)는 외부 시분할 신호 발생회로를 사용하여 디지털 비디오 신호를 전송한 시분할 그레이 스케일 디스플레이를 위한 신호로 변환하고, 변환된 신호의 각각의 서브-프레임 기간 내 기입기간의 신호를 시간축으로 선장시키고, 선장된 신호를 k 소스 신호 라인에 연관된 각각의 신호에 대해 병렬 신호로 변환함으로써 얻어진다.

시간축 선장을 행하는 회로는 디스플레이 장치와는 별도로 이의 외부에 설치된다.

사프트 래지스터로부터의 신호에 의하여, 블록 래치(A), 1은 k 소스 신호 라인에의 출력에 연관된 디지털 데이터 신호(VD)의 k 부분을 동시에 샘플링한다. 마찬가지로, 나머지 블록의 래치(A)(래치(A), 2 내지 래치(A), m)은 모든 소스 신호 라인(S<sub>1</sub> 내지 S<sub>mk</sub>)에의 출력에 연관된 디지털 데이터 신호(VD)의 k 부분이 래치(A)에 보유될 때까지 순서대로 선택된다. 그후, 래치 펄스는 래치(B)에 입력된다. 래치 펄스가 입력될 때, 래치(A)의 블록들에 보유된 신호는 일시에 래치(B)로 입력되고, 소스 신호 라인(S<sub>1</sub> 내지 S<sub>mk</sub>)으로 출력된다.

진출한 바와 같이, 소스 신호 라인 구동회로가 분할된다면, 소스 신호 라인 구동회로가 분할되지 않은 경우에 비해서, 소스 신호 라인 구동회로의 시프트 레지스터가 처리하는 데 약  $1/k$  시간이 걸린다.

소스 신호 라인 구동회로에 입력된 디지털 비디오 신호를  $k$  소스 신호 라인에 연관된 각각의 신호에 대해 병렬 신호로 변환하고  $k$  소스 신호 라인에 연관된 신호를 동시에 처리하여 소스 신호 라인 구동회로가 마진을 갖고 동작할 수 있게 하는 시분할 그레이 스케일 방법 이외의 다른 구동방법에서도 효과적이다.

따라서, 마틴 게이트 TFT로 구성된 소스 신호 라인 구동회로를 구비하고 보다 대형 스크린, 고품위 및 더 많은 그레이 스케일을 얻을 수 있는 디스플레이 장치를 제공하는 것이 가능하다.

실시형태 1 및 2는 제약 없이 조합하여 실행될 수 있다.

본 발명의 실시예를 이하 기술한다.

#### [실시예 1]

이 실시예는 실시형태 1에 따라 도 1에 도시한 구성과는 다른 구성을 갖는 온도 보상회로를 사용한 경우에 관하여 기술한다.

도 2는 이 실시예에 따른 온도 보상회로의 구성을 도시한 것이다.

참조부호 501은 전원 라인을 나타내며, 참조부호 502은 버퍼 증폭기, 503은 감시 EL 소자, 504는 정전류 발생기, 505는 가산기 회로를 나타낸다. 감시 EL 소자(503)의 한 전극은 정전류 발생기(504)에 접속되어 있으므로 일정량의 전류가 감시 EL 소자(503)를 통해 흐른다. EL 소자의 EL층의 온도가 변할 때, 감시 EL 소자(503)에 흐르는 전류량이 변하는 것이 아니라 그 대신 정전류 발생기(504)에 접속된 감시 EL 소자(503)의 전극의 전위가 변한다.

각각의 화소 내 감시 EL 소자(503) 및 EL 소자(도시생략)는 소자의 두 개의 전극 간에 인가되는 전압 레벨에 대한 소자에 흐르는 전류량과의 관계가 동일한 온도에서 감시 EL 소자(503) 및 화소 EL 소자에 대해 동일하게 되도록 제조된다.

여기서, 버퍼 증폭기(502)에 접속된 감시 EL 소자(503)의 전극이 애노드이면 전원 라인(501)에 접속된 화소 EL 소자(화소전극)의 전극은 애노드이다. 반면, 버퍼 증폭기(502)에 접속된 감시 EL 소자(503)의 전극이 캐소드이면, 전원 라인(501)에 접속된 화소 EL 소자(화소 전극)의 전극은 캐소드이다.

버퍼 증폭기(502) 및 화소부 EL 소자의 대향 전극에 접속된 감시 EL 소자(503)의 전극에는 여기서는 거의 동일한 전위가 공급된다.

버퍼 증폭기(502)는 2 개의 입력단자와 하나의 출력단자를 갖는다. 입력단자 중 하나는 비반전 입력단자(+)이고 다른 하나는 반전 입력단자(-)이다. 감시 EL 소자(503)의 한 전극의 전위는 버퍼 증폭기(502)의 비반전 입력단자에 주어진다.

버퍼 증폭기는 정전류 발생기(504)에 접속된 감시 EL 소자(503)의 전극의 전위를 전원 라인(501)의 배선 정전용량과 같은 부하가 변경하지 못하게 하는 회로이다. 따라서, 버퍼 증폭기(502)의 비반전 입력단자에 공급되는 전위는 전원 라인(501)의 배선 정전용량 및 가산기 회로(505)와 같은 부하에 의해 변경됨이 없어 출력단자로부터 출력되어 가산기 회로(505)에 공급된다.

가산기 회로(505)에 주어진 버퍼 증폭기(502)의 출력단자의 전위에 일정레벨의 전위가 더해지거나 감해진다. 대안으로, 가산기 회로에 주어진 전위는 몇 배로 증배된다. 그후, 가산기 회로의 전위는 전원전위로서 전원 라인(501)에 공급된다.

도 3은 이 실시예에 따른 가산기 회로의 상세한 회로도들을 도시한 것이다. 가산기 회로(505)는 제 1 저항기(521), 제 2 저항기(522), 가산기 회로 전원(525) 및 비반전 증폭기 회로(520)를 구비한다. 비반전 증폭기 회로(520)는 제 3 레지스터(523), 제 4 레지스터(524), 비반전 증폭기 회로 전원(526) 및 증폭기(527)로 구성된다.

제 1 저항기(521)의 일 단자는 가산기 회로의 입력단자(IN)이다. 제 1 저항기(521)의 타 단자는 제 2 저항기(522)의 일 단자에 접속된다. 제 2 저항기(522)의 타 단자는 가산기 회로 전원(525)에 접속된다. 제 1 저항기(521)와 제 2 저항기(522) 사이로부터 출력은 비반전 증폭기 회로(520) 내 증폭기(527)의 비반전 입력단자(+)에 입력된다.

제 3 저항기(523)의 일 단자는 증폭기(527)의 출력단자에 접속되고 제 3 저항기(523)의 타 단자는 증폭기(527)의 반전 입력단자에 접속된다. 제 3 저항기(523)와 증폭기(527)의 반전 입력단자 사이로부터 출력은 제 4 저항기(524)의 일 단자에 입력된다. 제 4 저항기(524)의 타 단자는 비반전 증폭기 회로 전원(526)에 접속된다. 제 3 저항기(523)와 증폭기(527)의 출력단자 사이로부터의 출력은 가산기 회로(505)의 출력단자(OUT)로부터 출력된다.

전술한 구성에 의해서, 주변온도가 변하여 감시 EL 소자(503) 및 화소부 EL 소자의 EL층의 온도가 변할 때에도 EL 소자에 흐르는 전류량이 일정하게 유지되게 전원전위가 변한다. 그러므로, EL 디스플레이 장치의 주변온도 변화에 관계없이 화소부 EL 소자의 휘도가 일정하게 유지될 수 있다.

가산기 회로(505)에 의해서 전원 라인(501)의 전위(전원전위)를 정전류 발생기(504)에 접속된 감시 EL 소자(503)의 전극의 전위와 동일한 레벨로 설정할 필요성이 제거된다.

버퍼 증폭기(502), 감시 EL 소자(503) 및 정전류 발생기(504)로 흐르는 전류량이 이에 따라 한정될 수 있다. 결국, 장치의 전력소비가 억제될 수 있다.

가산기 회로(505)의 구성은 도 3에 도시한 것으로 한정되지 않는다.

이 실시예에 따라, 버퍼 증폭기(502)는 화소부와 동일한 기판 혹은 IC 칩 상에 형성될 수 있다. 마찬가지로 감시 EL 소자(503), 정전류 발생기(504) 및 가산기 회로(505)에도 적용된다.

감시 EL 소자(503)는 화소부 내에 포함될 수도 있고 혹은 화소부와는 별도로 설치될 수도 있다.

## 실시예 2

이 실시예에서 주어지는 설명은 본 발명에 따른 디스플레이 장치의 온도 보상회로에 버퍼 증폭기의 구성의 예에 관한 것이다.

도 8은 화소 내 TFT와 동일한 구성을 갖는 TFT로부터 버퍼 증폭기를 제조하는 경우를 도시한 것이다.

버퍼 증폭기는 TFT(1901 내지 1909), 캐패시터(1910), 정전류 발생기(1911, 1912), 및 전원 라인(1930, 1931)으로 구성된다.

여기서 주어진 설명은 TFT(1901, 1902, 1906, 1909)가 n채널 TFT이고 TFT(1903 내지 1905)와 TFT(1907, 1908)이 p채널 TFT인 경우를 예로서 취한다.

이 때 전원 라인(1930)의 전위는 전원 라인(1931)의 전위보다 높게 설정된다. 전원 라인(1931)의 전위는 도 8에서 0V이나 이것으로 한정되지 않는다.

이 실시예에 따른 TFT의 특성은 상술한 것으로 한정되지 않는다. 즉, TFT(1901 내지 1909) 중 어느 하나는 n채널 TFT 혹은 p채널 TFT를 선택할 수 있다. 그러나, 차동 증폭기(1921)를 구성하는 TFT(1901, 1902)는 동일한 특성과 거의 동일한 특성을 가져야 한다. 또한, 전류 미러 회로(1922)를 구성하는 TFT(1903, 1904)는 동일한 특성과 거의 동일한 특성을 가져야 한다.



이 버퍼 증폭기의 동작을 이하 기술한다.

TFT(1901, 1902)로 구성된 차동 증폭기(1921)에 대해 설명한다.

서로 접속된 TFT(1901, 1902)의 소스 영역은 정전류 발생기(1911)에 접속된다.

연산 증폭기의 비반전 입력단자에 대응하는 TFT(1901)의 게이트 전극에 입력된 전위와 버퍼 증폭기의 반전 입력단자에 대응하는 TFT(1902)의 게이트 전극에 입력된 전위 간에 차이가 있다. 이 전위차는 TFT(1901)의 드레인과 소스 사이에 흐르는 전류량을 TFT(1902)의 것과는 다르게 한다. TFT(1901, 1902)에서의 전류는 각각  $i_1$  및  $i_2$ 로 나타내었다.

전류 미러회로(1922)는 TFT(1903, 1904)로 구성된다. TFT(1903, 1904)의 소스 영역은 모두 전원 라인(1930)에 접속된다. TFT(1904)의 드레인 영역 및 게이트 전극은 서로 접속된다. TFT(1903)의 게이트 전극은 TFT(1904)의 게이트 전극에 접속되고, 그러므로 두 개의 TFT의 게이트 전극은 동일한 전위를 갖는다. 따라서, TFT(1903)의 소스와 드레인 간에 흐르는 전류량은 TFT(1904)의 소스와 드레인 간에 흐르는 전류량과 동일하다. 이것은 전류( $i_3$ )가 전류 미러회로(1922)에 입력되어야 함을 의미한다. 전류( $i_3$ )은 차동 증폭기(1921)의 TFT(1901, 1902)를 통해 흐르는 전류  $i_1$ 과  $i_2$  간 차이에 대응한다.

전류( $i_3$ )는 캐패시터(1910)로부터 공급된다. 전류( $i_3$ )의 공급은 캐패시터(1910)의 전극 간 전위차( $V_1$ )를 증가시킨다. 이어서 전위차( $V_1$ )는 소스 접지 증폭기 회로(1923)에 입력된다.

소스 접지 증폭기 회로(1923)은 TFT(1905)로 구성된다. 입력된 전위차( $V_1$ )은 TFT(1905)의 게이트와 소스 간 전위로서 작용한다. 전류( $i_4$ )는 전위차( $V_1$ )에 따라 전원 라인(1930)으로부터 공급된다. 정전류 발생기(1912)는 단위 정전류( $i_0$ )를 발생한다. 그러므로, 전류( $i_4$ )와 전류( $i_0$ ) 간 차이에 대응하는 전류( $i_5$ )는 소스 폴로워 버퍼 회로(1924)에 입력된다. 전류( $i_5$ )는 증폭된 전위차( $V_1$ )에 따라 증가된다.

소스 폴로워 버퍼 회로(1924)는 TFT(1906, 1907)로 구성된다. 소스 접지 증폭기 회로(1923)로부터 입력된 전류( $i_5$ )는 TFT(1906)의 게이트 전극에 입력된다. 입력전류( $i_5$ )에 의해서, TFT(1906)의 게이트 전위가 상승하여 TFT(1906)의 소스와 드레인 간에 흐르는 전류( $i_6$ )가 증가한다. 결국, 버퍼 증폭기에서보다 많은 양의 전류가 출력된다.

버퍼 증폭기의 출력단자와 이의 반전 입력단자가 여기서 서로 접속되어 있을 때, 버퍼 증폭기는 출력단자의 전위가 비반전 입력단자의 전위와 동일한 레벨을 얻도록 동작한다. 이에 따라 버퍼 증폭기는 이의 출력단자에서 동일한 레벨의 전압을 비반전 입력단자에 입력되는 신호전압으로서 출력한다.

본 발명의 디스플레이 장치 내 버퍼 증폭기의 구조는 도 8에 도시한 것으로 한정되지 않으며 모든 공지의 버퍼 증폭기가 사용될 수 있다.

이 실시예는 제약 없이 실시예 1과 조합하여 실행될 수 있다.

### 실시예 3

이 실시예는 본 발명에 따른 디스플레이 장치의 화소부용의 TFT와 화소부의 주변에 설치된 드라이버 회로부용의 TFT를 동시에 제조하는 방법을 기술한다. 설명을 간단하게 하기 위해서, 드라이버 회로의 기본 단위인 CMOS 회로를 드라이버 회로부로서 예시한다.

도 19a 내지 19e에서, 먼저 게이트 전극(502 내지 505)가 유리 기판(501) 상에 코팅막으로부터 형성된다. 실리콘 옥사이드나이트라이드막( $\text{SiOxNy}$ 으로 된 절연막)을 사용하여 게이트 전극 위에 게이트 절연막(507)을 형성한다. 게이트 절

연막(507) 상에는, 비정질 실리콘막이 형성되고 레이저 어닐링에 의해 결정화된다. 결정화된 막은 패터닝되어 결정질 실리콘 막인 반도체막(508 내지 511)을 형성한다. 여기까지의 단계는 공지의 물질 및 공지의 기술로 실행될 수 있다(도 19a).

다음에, 절연막(512 내지 515)은 반도체막(508 내지 511) 상에 실리콘 산화막으로부터 형성된다. 반도체막은 절연막을 관통하여 인 혹은 비소로 도핑된다. 도핑방법으로서 공지의 기술이 사용될 수 있다. 결국, n형 불순물 영역(516 내지 519)이 형성된다. n형 불순물 영역(516 내지 519)은  $1 \times 10^{20}$  내지  $1 \times 10^{21}$  atoms/cm<sup>3</sup>의 농도의 인 혹은 비소를 포함한다(도 19b).

게이트 전극(502 내지 505)를 마스크로서 사용하여, 절연막(512 내지 515)을 어떤 노출로 패터닝하여 절연막(채널 보호막)(520 내지 523)을 형성한다. 이 상태에서, 인 혹은 비소의 도핑이 다시 공지의 기술로 행해진다. 결국, n형 불순물 영역(524 내지 531)이 형성된다. n형 불순물 영역(524 내지 531)은  $1 \times 10^{17}$  내지  $1 \times 10^{19}$  atoms/cm<sup>3</sup>의 농도의 인 혹은 비소를 포함한다(도 19c).

다음에 공지의 기술로 보론의 도핑을 행하기 위해 레지스트 마스크(532, 533)가 형성된다. 결국, p형 불순물 영역(534 내지 537)이 형성된다. p형 불순물 영역(534 내지 537)은  $3 \times 10^{20}$  내지  $5 \times 10^{21}$  atoms/cm<sup>3</sup>의 농도로 보론을 포함한다. p형 불순물 영역(534 내지 537)이 이미 인 혹은 비소로 도핑되어 있을지라도, 이들은 인 혹은 비소 농도의 3배 이상의 농도의 보론으로 도핑되어 있으므로 영역(534 내지 537)의 도전형은 n형에서 p형으로 완전히 바뀐다(도 19d).

다음에, 레지스트 마스크(532, 533)를 제거하고, 실리콘 산화막 및 실리콘 옥시나이트라이드막의 적층구조를 갖는 제 1 층간 절연막(538)이 형성된다. 물리브텐막과 텅스텐막의 층으로 된 배선(539 내지 544)을 형성하도록 제 1 층간 절연막(538)에 접촉홀을 형성한다(도 19e).

그후, 제 2 층간 절연막(545), 화소전극(546), 배크(547a, 547b), EL 층(548), 캐소드(549) 및 보호막(550)이 도 20에 도시한 바와 같이 형성된다. 도 20의 단면구조를 갖는 발광장치가 이와 같이 하여 완성된다.

이 실시예는 제약없이 실시예 1이나 실시예 2와 조합하여 실행될 수 있다.

#### 실시예 4

도 9a는 본 발명을 사용한 EL 디스플레이 장치의 평면도이다. 도 9b는 도 9a를 선 A-A'를 따라 절단한 단면도를 도시한 것이다.

도 9a에서, 참조부호 4010은 기판이고, 참조부호 4011은 화소부, 4012는 소스 신호측 드라이버 회로, 4013은 게이트 신호측 드라이버 회로이다. 드라이버 회로는 FPC(4017)을 통해, 배선(4014, 4016)을 통해 외부 장비에 접속된다. 참조부호 4015는 전원 라인용 배선이다.

퍼복물질(6000), 실링물질(하우징 물질이라고 함)(7000), 및 기밀 실링물질(제 2 실링물질)(7001)은 적어도 화소부, 이 때 바람직하게는 드라이버 회로 및 화소부를 봉하도록 형성된다.

도 9b는 본 발명의 EL 디스플레이 장치의 단면구조이다. 드라이버 회로 TFT(4022)(n채널 TFT 및 p채널 TFT가 결합된 CMOS 회로가 도면에 도시되었음에 유의), 화소부 TFT(4023)(EL 소자로 흐르는 전류를 제어하기 위한 드라이버 TFT만이 여기에 도시되어 있음에 유의)는 기판(4010) 위에 기초막(4021) 상에 형성된다. TFT는 공지의 구조(답 게이트 구조 혹은 바텀 게이트 구조)를 사용하여 형성될 수 있다.

드라이버 회로 TFT(4022)와 화소부 TFT(4023)이 완성된 후에, 화소 전극(4027)이 수지물질로부터 만들어진 층간 절연막(평탄화막)(4026) 상에 형성된다. 화소 전극은 화소 TFT(4023)의 드레인에 전기적으로 접속하기 위한 투명 도

전막으로부터 형성된다. 산화인듐 및 산화주석 화합물(ITO라고 함) 혹은 산화인듐 및 산화아연 화합물이 투명 도전막으로서 사용될 수 있다. 절연막(4028)은 화소전극(4027)을 형성한 후에 형성되며, 화소 전극(4027) 상에 개구부가 형성된다.

다음에 EL층(4029)이 형성된다. EL층(4029)은 공지의 EL 물질(이를테면 정공 주입층, 전공 이송층, 발광층, 전자 이송층, 및 전자 주입층)을 자유롭게 조합함으로써, 적층구조, 혹은 단층구조를 갖도록 형성될 수 있다. 공지의 기술을 사용하여 어느 구조를 사용할 것인지를 결정할 수 있다. 더욱이, EL 물질은 저분자량 물질 및 고분자량(폴리머) 물질로서 존재한다. 저분자량 물질을 사용할 때 증발(evaporation)이 사용되는데, 그러나 고분자량 물질이 채용될 때는 이를 테면 스핀 코팅, 인쇄, 잉크 젯 인쇄와 같은 쉬운 방법을 사용하는 것이 가능하다.

실시예 4에서, EL층은 새도우 마스크를 사용하여 증발에 의해서 형성된다. 새도우 마스크를 사용하여 각각의 화소에 대해, 서로 상이한 파장을 갖는 광을 방출할 수 있는 발광층(적색 발광층, 녹색 발광층, 청색 발광층)을 형성함으로써 컬러 디스플레이가 가능해진다. 더욱이, 전하 결합층(CCM) 및 컬러 필터를 조합하는 방법, 백색광 발광층 및 컬러 필터를 조합하는 방법 등의 방법이 사용될 수 있다. 물론, EL 디스플레이 장치는 단색광을 방출하도록 만들어 질 수 있다.

EL층(4029)을 형성한 후에, 캐소드(4030)가 EL층 상에 형성된다. 캐소드(4030)와 EL층(4029) 간 계면에 존재하는 어떠한 습기나 산소든 가능한 한 제거하는 것이 바람직하다. 그러므로, 진공 내에서 불활성 가스 분위기에서 EL층(4029) 및 캐소드(4030)을 피착하는 방법을 사용하는 것이 필요하다. 상기 막 피착은 다중챔버 방법(클러스터 툴 방법) 막 피착 장치를 사용함으로써 실시예 4에서 가능해진다.

LiF(불화리튬)막 및 Al(알루미늄)막의 적층구조가 캐소드(4030)로서 실시예 3에서 사용됨에 유의한다. 구체적으로, 1 nm 두께의 LiF(불화리튬)막이 EL 층(4029) 상에 증발에 의해 형성되며, 300 nm 두께의 알루미늄막이 LiF 막 상에 형성된다. 물론, MgAg 전극, 공지의 캐소드 물질이 사용될 수 있다. 다음에 배선(4016)이 참조부호 4031로 나타낸 영역에서 캐소드(4030)에 접속된다. 배선(4016)은 소정의 전압을 캐소드(4030)에 부여하는 전원 라인이며, 도전성 페이스트 물질(4032)을 통해 FPC(4017)에 접속된다.

참조부호 4031로 나타낸 영역에서 캐소드(4030)과 배선(4016)을 전기적으로 접속하기 위해서, 중간 절연막(4026) 및 절연막(4028) 내에 접촉홀을 형성하는 것이 필요하다. 접촉홀은 중간 절연막(4026)을 에칭할 때(화소전극용 접촉홀을 형성할 때) 그리고 절연막(4028)을 에칭할 때(EL층 형성 전에 개구부를 형성할 때) 형성될 수 있다. 또한, 절연막(4028)을 에칭할 때, 에칭은 한번에 중간 절연막(4026)에 대해 수행될 수 있다. 이 경우, 중간 절연막(4026) 및 절연막(4028)이 동일한 수지물질인 경우 양호한 접촉홀이 형성될 수 있다.

이와 같이 하여 형성된 EL 소자의 표면을 덮도록 패시베이션막(6003), 충전물질(6004), 및 피복물질(6000)이 형성된다.

더욱이, EL 소자부를 둘러싸도록 실링물질(7000)은 피복물질(6000)과 기판(4010) 사이에 형성되고, 기밀 실링물질(제 2 실링물질)(7001)은 실링 물질(7000)의 외부에 형성된다.

충전물질(6004)은 이 때 피복물질을 분당하기 위한 접착제로서 기능한다. PVC(폴리비닐 클로라이드), 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄) 및 EVA(에틸렌 비닐 아세테이트)를 충전물질(6004)로서 사용할 수 있다. 건조제가 충전물질(6004) 내에 형성된다면, 흡습효과를 계속하여 유지할 수 있고, 이것은 바람직한 것이다.

더욱이, 충전물질(6004) 내에 스페이서를 포함할 수 있다. 스페이서는 BaO와 같은 분말물질일 수 있는 것으로 스페이서 자체에 흡습의 능력을 부여할 수 있다.

스페이서를 사용할 때, 패시베이션막(6003)은 스페이서 압력을 완화시킬 수 있다. 더욱이, 수지막과 같은 막은 스페이서 압력을 완화하도록 패시베이션막(6003)과는 별도로 형성될 수 있다.

더구나, 유리판, 알루미늄판, 스테인레스 스틸판, FRP(유리섬유 강화 플라스틱)판, PVF(폴리비닐 플루오라이드)막, 마일리막, 폴리이스터막, 및 아크릴막이 피복물질(6000)로서 사용될 수 있다. PVB 혹은 EVA가 충전물질(6004)로서 사용된다면, 수 십 배의 알루미늄 포일이 PVF막 혹은 마일러 막에 의해 개재된 구조를 갖는 시트를 사용하는 것이 바람직하다.

그러나, EL 소자로부터 발광 방향(광 방사 방향)에 따라, 피복물질(6000)이 광 투과 특성을 갖는 것이 필요하다.

더욱이, 배선(4016)은 실링물질(7001)과 기판(4010) 간 갭을 통해 FPC(4017)에 전기적으로 접속된다. 여기서는 배선(4016)에 대해 설명되었으나, 배선(4014, 4015)이 유사하게 실링물질(7001) 및 실링물질(7000) 밑을 통과함으로써 FPC(4017)에 전기적으로 접속됨에 유의한다.

도 9a 및 도 9b에서, 피복물질(6000)은 충전물질(6004)를 형성한 후에 본딩되고, 실링물질(7000)은 충전물질(6004)의 측면(노출면)을 피복하도록 부착되어 있지만, 그러나 충전물질(6004)은 또한 피복물질(6000) 및 실링물질(7000)을 부착한 후에 형성될 수도 있다. 이 경우, 충전물질 주입 개구부가 기판(4010), 피복물질(6000), 및 실링물질(7000)에 의해 형성된 갭을 관통하여 형성된다. 갭을 진공상태( $10^{-2}$  Torr 이하의 압력)로 설정하여 두고, 충전물질을 보유하는 탱크 내에 주입 개구부를 닫은 후에, 갭 밖의 공기압을 갭 내의 공기압보다 높게 하여, 충전물질이 갭을 충전한다.

실시예 4를 실시예 1 내지 실시예 3의 구성과 자유롭게 조합함으로써 실시예 4의 구성을 구현하는 것이 가능하다.

#### 실시예 5

다음에, 도 9a 및 도 9b와는 다른 구조를 갖는 EL 디스플레이 장치를 제조하는 예를 도 10a 및 도 10b를 사용하여 설명한다. 도 9a 및 도 9b와 동일한 참조부호를 갖는 부분은 동일한 부분을 나타내므로 이에 대한 설명은 생략한다.

도 10a는 실시예 5의 EL 디스플레이 장치의 평면도이고, 도 10b는 도 10a를 선 A-A'를 따라 절단한 단면도를 도시한 것이다.

도 9a 및 9b에 따라, EL 소자를 피복하는 패시베이션막(6003)을 형성하는 단계까지 제조가 수행된다.

또한, 충전물질(6004)은 EL 소자를 피복하도록 형성된다. 충전물질(6004)은 피복물질(6000)을 본딩하기 위한 접착제로서 기능한다. PVC(폴리비닐 클로라이드), 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄) 및 EVA(에틸렌 비닐 아세테이트)를 충전물질(6004)로서 사용할 수 있다. 건조제가 충전물질(6004) 내에 형성된다면, 흡습효과를 계속하여 유지할 수 있고, 이것은 바람직한 것이다.

더욱이, 충전물질(6004) 내에 스페이서를 포함할 수 있다. 스페이서는 BaO와 같은 분말물질일 수 있는 것으로 스페이서 자체에 흡습의 능력을 부여할 수 있다.

스페이서를 사용할 때, 패시베이션막(6003)은 스페이서 압력을 완화시킬 수 있다. 더욱이, 수지막과 같은 막은 스페이서 압력을 완화하도록 패시베이션막(6003)과는 별도로 형성될 수 있다.

더구나, 유리판, 알루미늄판, 스테인레스 스틸판, FRP(유리섬유 강화 플라스틱)판, PVF(폴리비닐 플루오라이드)막, 마일리막, 폴리이스터막, 및 아크릴막이 피복물질(6000)로서 사용될 수 있다. PVB 혹은 EVA가 충전물질(6004)로서 사용된다면, 수 십 배의 알루미늄 포일이 PVF막 혹은 마일러 막에 의해 개재된 구조를 갖는 시트를 사용하는 것이 바람직하다.

그러나, EL 소자로부터 발광 방향(광 방사 방향)에 따라, 피복물질(6000)이 광 투과 특성을 갖는 것이 필요하다.

충전물질(6004)을 사용하여 피복물질(6000)을 본딩한 후, 충전물질(6004)의 측면(노출면)을 피복하도록 프레임 물질(6001)이 부착된다. 프레임 물질(6001)은 실링물질(접착제로서 기능함)(6002)에 의해 본딩된다. 이 때 실링물질(6002)로서 광 경화 물질을 사용하는 것이 바람직한데, 그러나, EL 층의 내열특성이 허용한다면, 열 경화 수지도 사용될 수 있다. 실링물질(6002)이 가능한 한 습기 및 산소를 투과시키지 않는 물질인 것이 바람직하다. 더구나, 건조제를 실링물질(6002)의 내부에 첨가할 수도 있다.

배선(4016)은 실링물질(6002)와 기판(4010) 간 갭을 통해 FPC(4017)에 전기적으로 접속된다. 여기서는 배선(4016)에 대해 설명하였지만, 배선(4014, 4015)이 유사하게 실링물질(6002) 밑을 통과함으로써 FPC(4017)에 전기적으로 접속됨에 유의한다.

피복물질(6000)이 본딩되고, 도 10a 및 10b에서 충전물질(6004)을 형성한 후에 충전물질(6004)의 측면(노출면)을 피복하도록 부착되어 있지만, 그러나 충전물질(6004)은 또한 피복물질(6000) 및 프레임 물질(6001)을 부착한 후에 형성될 수도 있다. 이 경우, 충전물질 주입 개구부가 기판(4010), 피복물질(6000), 및 프레임 물질(6001)에 의해 형성된 갭을 관통하여 형성된다. 갭을 진공상태( $10^{-2}$  Torr 이하의 압력)로 설정하여 두고, 충전물질을 보유하는 탱크 내에 주입 개구부를 닫은 후에, 갭 밖의 공기압을 갭 내의 공기압보다 높게 하여, 충전물질이 갭을 충전한다.

실시예 5를 실시예 1 내지 실시예 3의 구성과 자유롭게 조합함으로써 실시예 5의 구성을 구현하는 것이 가능하다.

#### 실시예 6

화소부의 보다 상세한 단면구조를 도 11에 도시하였다.

기판(3501) 위에 형성된 스위칭 TFT(3502)는 도 11에서 공지의 방법을 사용하여 제공된다. 단일 게이트 구조가 실시예 6에서 사용된다. 단일 게이트 구조가 실시예 6에서 사용될지라도, 이중 게이트 구조, 3중 게이트 구조, 및 보다 많은 수의 게이트를 갖는 다중 게이트 구조가 사용될 수도 있다.

드라이버 TFT(3503)의 단일 게이트 구조를 실시예 6에서 도면에 도시하였는데, 그러나, 복수의 TFT가 일련으로 직렬로 접속된 다중 게이트 구조도 사용될 수 있다. 또한, 복수의 TFT가 병렬로 접속되어 복수의 채널 형성영역을 효과적으로 분할하며, 고 효율로 열 방사를 수행할 수 있는 구조 또한 사용될 수 있다. 이러한 구조는 열에 기인한 열화에 대한 대응책으로서 효과적이다.

이 실시예에서, 스위칭 TFT와 드라이버 TFT가 모두 n채널 TFT인 경우에 대해 설명한다.

드라이버 TFT(3503)은 공지의 방법으로 형성된다. 스위칭 TFT(3502)의 드레인 배선(35)은 드라이버 TFT(3503)의 게이트 배선(37)에 전기적으로 접속된다. 드라이버 TFT(3503)의 드레인 배선(40)은 EL 소자의 캐소드(43)에 접속된다. 더구나, 드라이버 TFT(3503)의 소스 영역(34)은 전원 라인(도면에는 도시없음)에 접속되고, 일정한 전압이 항상 인가된다.

절연 수지막으로부터 평탄화막(42)이 스위칭 TFT(3502) 및 드라이버 TFT(3503) 위에 형성된다. 평탄화막(42)을 사용하여 TFT에 기인한 단차를 평탄화하는 것이 극히 중요하다. 나중에 형성되는 EL 층은 극히 얇으므로 결함이 있는 광 방출이 발생하는 경우가 있다. 그러므로, 가능한 한 표면을 평탄하게 한 EL층을 형성하기 위해서, 화소 전극을 형성한 후에 평탄화를 수행하는 것이 바람직하다.

더구나, 참조부호 43은 고 반사율을 가진 도전막으로부터 만들어진 화소전극(EL 소자 캐소드)을 나타내며, 이것은 드라이버 TFT(3503)의 드레인 영역(40)에 전기적으로 접속된다. 알루미늄 합금막, 구리 합금막, 및 은 합금막, 혹은 이러한 막의 직층과 같은, 저저항 도전막을 사용하는 것이 바람직하다. 물론, 또다른 도전막을 갖는 적층구조도 사용될 수 있다.

또한, 발광층(45)은 절연막(바람직하게는 수지)에 의해 형성된 뱅크(44a, 44b)로 형성되는 홈(화소에 대응함)의 중간에 형성된다. 단지 하나의 화소만이 도면에 도시되어 있지만, 그러나, 발광층은 R(적색), G(녹색), B(청색) 각각에 대응하여 분할될 수 있음에 유의한다.  $\pi$ -공액(conjugate) 폴리머 물질이 유기 EL 물질로서 사용된다. 폴리파라페닐렌 비닐렌(PPV), 폴리비닐 카바졸(PVK), 및 폴리프로로란이 전형적인 폴리머 물질로서 제공될 수 있다.

몇 가지 유형의 PPV 유기 EL 물질, Schenk, H., Becker, H., Gelsen, O., Kluge, E., Kreuter, W., 및 Spreitzer, H.의 "Polymers for Light Emitting Diodes," Euro Display Proceedings, 1999, pp. 33-7에 기재된 물질이 있으며, 예를 들면 일본 특허공개 평10-92576에 기재된 물질이 사용될 수 있음에 유의한다. 이들 문헌 및 특허에 개시된 내용 전부를 참고로 여기 포함시킨다.

특정의 발광층으로서, 시아노-폴리페닐렌 비닐렌이 적색 광 방사 발광층으로서 사용될 수 있고, 폴리페닐렌 비닐렌이 녹색 광 방사 발광층으로서 사용될 수 있고, 폴리페닐렌 비닐렌 혹은 폴리알킬페닐렌이 청색 광 방사 발광층으로서 사용될 수 있다. 막 두께는 30 내지 150nm일 수 있다(바람직하게는 40 내지 100nm).

그러나, 상기의 예는 발광층으로서 사용될 수 있는 유기 EL 물질의 한 예이며, 이들 물질로 사용을 한정할 필요는 없다. EL 층(광을 방출하고 이를 위해 캐리어 이동을 수행하는 층)은 발광층, 전하 이송층, 및 전하 주입층을 자유롭게 조합함으로써 형성될 수 있다.

예를 들면, 실시예 6은 발광층으로서 폴리머 물질을 사용하는 예를 도시한 것인데, 그러나 저분자량 유기 EL 물질이 사용될 수도 있다. 더욱이, 이를테면, 실리콘 카바이드와 같은 무기물질을 전하 이송층 혹은 전하 주입층으로서 사용하는 것이 가능하다. 이들 유기 EL 물질 및 무기물질용으로 공지의 물질이 사용될 수 있다.

이어서 애노드(47)가 투명 도전막으로부터 발광층(45) 상에 형성된다. 발광층(45)에 의해 발생된 광은 실시예 6에서 상측면을 향하여(TFT가 형성된 기판에 대해 역방향으로) 방사되고, 그러므로 애노드는 광에 투명해야 한다. 산화인듐 및 산화주석 화합물, 혹은 산화인듐 및 산화아연 화합물이 투명 도전막용으로 사용될 수 있다. 그러나, 이것은 낮은 내연성 발광 및 정공 주입층을 형성한 후에 형성되기 때문에, 가능한 한 낮은 온도에서 피착될 수 있는 물질을 사용하는 것이 바람직하다.

EL 소자(3505)는 애노드(47)가 형성된 시점에서 완성된다. 소위 여기서 EL 소자(3505)라는 것은 화소전극(캐소드)(43), 발광층(45), 및 애노드(47)로 형성됨에 유의한다. 화소전극(43)은 화소와 면적이 거의 동일하고, 결국 전체 화소는 EL 소자로서 기능한다. 그러므로, 발광 효율이 극히 높으며, 밝은 이미지 디스플레이가 가능해진다. 더욱이, 제 2 패시베이션막(48)이 실시예 6에서 애노드(47) 상에 형성된다.

제 2 패시베이션막(48)으로서 질화실리콘막 혹은 실리콘 옥시나이트라이드막을 사용하는 것이 바람직하다. 이것의 목적은 외부로부터 EL 소자의 분리이며, 이것은 유기 EL 물질의 산화에 기인한 열화 방지와, 유기 EL 물질로부터 방출되는 가스를 제어하는데 의의가 있다. EL 디스플레이 장치의 신뢰성이 이에 따라 높아질 수 있다.

n채널 TFT 및 p채널 TFT가 드라이버 TFT용으로 사용될 수 있음에 유의한다. 그러나, EL 소자의 애노드가 대향전극이므로 EL 소자의 캐소드가 화소전극인 경우에, 드라이버 TFT는 n채널 TFT인 것이 바람직하다.

실시예 6을 실시예 1 내지 실시예 5 중 어느 하나의 구성과 자유롭게 조합함으로써 실시예 6의 구성을 구현하는 것이 가능하다.

#### 실시예 7

이 실시예는 실시예 6에서 보인 화소부에 EL 소자(3505)의 구성을 반전시켜 얻어진 구성에 관한 설명을 제공한다. 도 12를 참조로 하여 설명한다. 이 실시예의 구성은 단지 EL 소자 및 구동 TFT에 관한 실시예 6에 기술된 도 11의 구성과는 다르다. 도 11과 동일한 구성요소는 동일한 참조부호를 나타내었으며 이에 대한 설명은 생략한다.

이 실시예에서, 스위칭 TFT는 n채널 TFT 혹은 p채널 TFT일 수 있고, 마찬가지로 구동 TFT에 적용한다. 그러나, EL 소자의 화소전극이 애노드이면 구동 TFT는 바람직하게는 p채널 TFT이다.

도 12에서, 구동 TFT(3703)은 p채널 TFT이며, 공지의 방법을 사용하여 제조될 수 있다. 이 실시예의 구동 TFT(3703)은 EL 소자(3701)의 애노드(50)에 접속된 드레인 배선(55)을 갖는다. 구동 TFT(3703)은 전원 라인(도시없음)에 접속된 소스 영역(56)을 갖는다.

여기서 스위칭 TFT(3502)는 n채널 TFT이다. 구동 TFT(3703)의 게이트 전극(57)은 스위칭 TFT(3502)의 드레인 배선(35)에 전기적으로 접속된다.

투명 도전막은 이 실시예에서 화소 전극(애노드)(50)용으로 사용된다. 구체적으로, 사용된 막은 산화인듐 및 산화아연의 화합물을 포함하는 도전막이다. 물론 산화인듐 및 산화주석의 화합물을 포함하는 도전막이 대신으로 사용될 수 있다.

절연막으로부터 뱅크(51a, 51b)를 형성한 후에, 발광층(52)은 용액 코팅에 의해 폴리비닐 카바졸로부터 형성된다. 발광층 상에, 캐소드(54)은 알루미늄 합금으로부터 형성된다. 이 경우, 캐소드(54)는 또한 패시베이션 막으로서 기능한다. EL 소자(3701)가 이에 따라 완성된다.

이 실시예의 경우, 발광층(52)에서 발생된 광은 화살표로 표시된 바와 같이 TFT가 형성된 기판을 향하여 방출된다.

이 실시예는 실시예 1 내지 5와 자유롭게 조합될 수 있다.

#### 실시예 8

이 실시예는 소스 신호 라인 구동회로의 구조를 기술한다.

소스 신호 라인 구동회로는 실시예 3에 나타난 공정을 통해 절연기관 상에 바텀 게이트 TFT를 형성함으로써 제조된다.

도 15의 회로도들 참조하여, 먼저 본 발명의 실시형태 2에 따라 도 17에 도시한 분할된 소스 신호 라인 구동회로가 소자를 사용하여 실제로 구성되는 경우를 설명한다.

이것은 디지털 비디오 신호가 외부로부터 소스 신호 라인 구동회로로 입력되어 디지털 신호가 소스 신호 라인으로 출력되는 경우의 예이다.

도 15는 한 블록 내 래치(A) 및 래치(B)에 대한 것이다.

시프트 레지스터(8801), 래치(A)(8802) 및 래치(B)(8803)는 도 15에서 도시한 바와 같이 구성된다. 한 쌍의 래치(A)(8802) 및 한 쌍의 래치(B)(8803)는 4개의 신호 라인(S<sub>a</sub> 내지 S<sub>d</sub>)에 연관된다.

이 실시예에서 주어지는 설명은 디지털 비디오 신호가 4개의 부분으로 분할된 후에 입력되어 4개의 신호가 동시에 샘플링되는 경우에 대한 것이다. 그러나, 본 발명은 이 경우로 한정되지 않으며 신호는 k 신호를 샘플하기 위해 k 부분(k는 1 이상의 임의의 정수)으로 분할될 수 있다.

신호의 진압의 진폭을 변경하는 레벨 시프터, 버퍼 등은 이 실시예에선 설치되지 않는다. 그러나, 설계자가 적합하다는 것을 알게 되면 설치될 수도 있다.

클럭신호(CLK), CLK의 극성을 반전하여 얻어진 클럭신호(CLKB), 시작 펄스 신호(SP), 및 구동 방향 스위칭 신호(SL/R)가 도 15에 도시한 각각의 배선으로부터 시프트 레지스터(8801)에 입력된다. 외부로부터 입력된 디지털 데이터 신호(VD)는 시간축으로 신장되고 4개의 부분으로 분할되어, 도 15에 도시한 배선으로부터 래치(A)(8802)에 입력된다. 래치신호(S<sub>L</sub>LAT) 및 S<sub>L</sub>LAT의 극성을 반전하여 얻어진 신호(S<sub>L</sub>LATb)는 도 15에 도시한 각각의 배선으로부터

래치(B)(8803)에 입력된다.

시프트 레지스터(8801)로부터 신호의 입력에 의해서, 래치(A)(8802)는 4부분으로부터 분할된 디지털 데이터의 신호 라인으로부터 디지털 데이터 신호(VD)의 4부분을 수신하여 동시에 4개의 신호를 샘플하여 이들을 보유한다. 래치신호(S\_LAT) 및 신호(S\_LATb)의 입력에 응답하여, 래치(A)에 보유된 신호는 일시에 래치(B)(8803)로 보내져 소스 신호 라인(S\_a 내지 S\_d)으로 입력된다.

래치(A)(8802)의 구성의 상세를 래치(A)(8802)의 일부이며 소스 신호 라인(S\_a)에 연관된 부분(8804)을 예로서 취하여 기술한다. 래치(A)(8802)의 일부인 부분(8804)은 2 개의 클럭된 인버터 및 2 개의 인버터를 갖는다.

도 16은 래치(A)(8802)의 일부인 부분(8804)의 평면도이다. 831a 및 831b로 표시된 것은 래치(A)(8802)의 일부인 부분(8804)의 인버터 중 하나를 구성하는 TFT의 활성층이다. 참조부호 836은 하나의 인버터를 구성하는 TFT의 공통 게이트 전극을 나타낸다. 래치(A)(8802)의 일부인 부분(8804)의 다른 인버터는 832a 및 832b로 나타낸 활성층을 갖는 TFT로 구성된다. 활성층(832a, 832b) 상에는, 게이트 전극(837a, 837b)이 설치된다. 게이트 전극(837a, 837b)은 서로 전기적으로 접속된다.

833a 및 833b로 나타낸 것은 래치(A)(8802)의 일부인 부분(8804)의 클럭 인버터 중 하나를 구성하는 TFT의 활성층이다. 활성층(833a) 상에는, 게이트 전극(838a 및 838b)이 형성되어 이중 게이트 구조를 제공한다. 활성층(833b) 상에는, 게이트 전극(838b) 및 게이트 전극(839)이 형성되어 이중 게이트 구조를 제공한다.

834a 및 834b로 나타낸 것은 래치(A)(8802)의 일부인 부분(8804)의 다른 클럭 인버터를 구성하는 TFT의 활성층이다. 활성층(834a) 상에는, 게이트 전극(839) 및 게이트 전극(840)이 형성되어 이중 게이트 구조를 제공한다. 활성층(834b) 상에는, 게이트 전극(840) 및 게이트 전극(841)이 형성되어 이중 게이트 구조를 제공한다.

다음은 아날로그 방법을 사용하는 경우 분할된 소스 신호 라인 구동회로의 구성에 대한 설명이다.

아날로그 방법은 아날로그 신호를 디스플레이 장치에서 소스 신호 라인에 입력함으로써 화소의 휘도가 가변되는 방법을 말한다. 여기 주어진 설명은 아날로그 신호가 소스 신호 라인 구동회로에 입력되어 아날로그 신호를 소스 신호 라인에 출력하는 경우를 다룬다.

도 21은 아날로그 방법을 채용한 소스 신호 라인 구동회로의 예를 도시한 것이다.

전술한 디지털 데이터 신호의 샘플링이 유사하게, 시간축 신장된 아날로그 데이터 신호(VA)의 복수의 부분이 도 21에서 4 개의 배선으로부터 입력된다.

도 21은 블록을 신호 라인(S\_a 내지 S\_d)의 출력에 연관지어 소스 신호 라인 구동회로 내 한 블록에 대한 것이다.

시프트 레지스터(8801)로부터 보내진 신호는 TFT(2101a 내지 2101d)를 동시에 턴 온하여, 아날로그 데이터 신호(VA)의 4개의 부분을 동시에 샘플링하기 시작한다.

이 실시예에서 주어진 설명은 4 개의 소스 신호 라인에 입력되는 아날로그 데이터 신호(VA)의 4개의 부분이 동시에 샘플되는 경우에 대한 것이다. 그러나, 본 발명에 따른 디스플레이 장치의 소스 신호 라인 구동회로는 이것으로 한정되지 않는다. 부연하여, 본 발명은 아날로그 데이터 신호(VA)가 임의의 수의 소스 신호 라인에 입력되는 동일 수의 부분으로 분할되고 그 부분들이 동시에 샘플되는 소스 신호 라인 구동회로를 사용할 수 있다.

도 22a는 아날로그 데이터 신호(VA)를 발생하기 위해서 아날로그 신호를 시간축으로 신장시키는 회로(이하 시간축 신장회로)의 예를 도시한 것이다.



스위칭(SW1 내지 SW4)는 도 22b의 타이밍도에 도시한 개폐신호에 응답하여 하나씩 개폐된다. 이에 따라 아날로그 비디오 신호가 샘플되고 축적 캐패시터(2201 내지 2204)에 보유된다. 보유된 신호는 버퍼(2211 내지 2214)를 통해 출력된다. 이에 따라, 4부분으로 분할된 아날로그 데이터 신호(VA)가 발생된다.

이 실시예에서 주어진 설명은 4개의 소스 신호 라인에 연관된 4 부분의 아날로그 데이터 신호(VA)로 아날로그 비디오 신호를 변환하는 시간축 신장회로를 예로서 취한다. 그러나, 본 발명에 따른 디스플레이 장치의 시간축 신장회로는 이것으로 한정되지 않는다. 부연하여, 본 발명은 아날로그 비디오 신호를 임의의 수의 소스 신호 라인에 연관된 동일 수의 아날로그 데이터로 변환하는 시간축 신장회로를 사용할 수 있다.

이 실시예는 실시예 1 내지 7과 자유롭게 조합될 수 있다.

#### 실시예 9

본 발명의 EL 디스플레이에서 EL 소자의 EL 층에 사용되는 물질은 유기 EL 물질로 한정되지 않으며, 본 발명은 무기 EL 물질을 사용하여 구현될 수 있다. 그러나, 현재 무기 EL 물질은 극히 높은 드라이버 전압을 갖고 있어 이들이 이러한 고전압을 견딜 수 있게 하는 내전압 특성을 갖는 TFT가 사용되어야 한다.

대안으로, 낮은 드라이버 전압을 갖는 무기 EL 물질이 앞으로 개발된다면, 본 발명에 이러한 물질을 적용하는 것이 가능하다.

더구나, 실시예 1 내지 8 중 어느 하나의 구성에 실시예 9의 구성을 자유롭게 조합하는 것이 가능하다.

#### 실시예 10

본 발명에서, EL 층으로서 사용되는 유기 물질은 저분자량 물질 혹은 폴리머(고분자) 유기 물질일 수 있다. 저분자 유기 물질로서는, Alq<sub>3</sub> (트리스-8-퀴놀리라이트-알루미늄), TPD(트리페닐라민 유도체) 등을 중심으로 하는 물질이 알려져 있다. 폴리머 유기물질과 같이  $\pi$  조합 폴리머 물질이 제공될 수 있다. 전형적으로, PPV(폴리페닐렌비닐렌), PVK(폴리비닐카바졸), 폴리카보네이트 등이 주어질 수 있다.

폴리머(고분자) 유기물질은 스핀 코팅방법(용액 적용 방법으로도 함), 디핑방법, 디스펜스 방법, 인쇄방법, 잉크 젯 방법 등 간단한 박막 형성방법으로 형성될 수 있다. 폴리머 유기물질은 저분자 유기물질에 비해 높은 내열성을 갖는다.

더구나, 본 발명에 따른 EL 디스플레이 장치에 탑재된 EL 소자에 포함된 EL 층이 전자 이송층 및 양 정공 이송층을 갖는 경우, 전자 이송층 및 양 정공 이송층은 예를 들면 비정질 Si 혹은 비정질 Si<sub>1-x</sub>C<sub>x</sub> 등으로 형성된 비정질 반도체와 같은 무기물질로 형성될 수 있다.

비정질 반도체에서, 대량의 트랩 레벨이 있고, 동시에 비정질 반도체는 비정질 반도체가 다른 층들과 접촉하는 계면에서 대량의 계면레벨을 형성한다. 결국, EL 소자는 낮은 전압에서 광을 방출할 수 있고, 동시에 높은 휘도의 제공을 시도할 수 있다.

외에도, 도펀트(불순물)가 유기 EL 층에 첨가되고, 유기 EL 층의 광 방출 컬러를 변화시킬 수 있다. 이 도펀트는 DCM 1, 나일 적색, 루브렌, 코마린 6, TPB 및 퀴나쿠엘리돈을 포함한다.

외에도, 실시예 10의 구성은 실시예 1 내지 8의 구성 중 어느 것보다 자유롭게 조합될 수 있다.

#### 실시예 11

이 실시예는 도 13a 및 도 13b를 참조로 하여 본 발명에 따라 EL 디스플레이 장치를 제조하는 경우에 대해 설명을 제공한다.

도 13a는 EL 소자가 형성되어 위에 둘러싸인 액티브 매트릭스 기판의 평면도이다. 점선으로 구역이 나누어진 영역(801, 802, 803)은 각각 소스 신호 라인 구동회로, 게이트 신호 라인 구동회로 및 화소부이다. 참조부호 804는 피복부재, 805는 제 1 실링부재, 806은 제 2 실링부재이다. 충전재(807)(도 13b 참조)는 액티브 매트릭스 기판과 에워싸고 있는 제 1 실링부재(805) 내의 피복부재 간 공간 내에 형성된다.

808로 표시된 것은 소스 신호 라인 구동회로(801), 게이트 신호 라인 구동회로(802) 및 화소부(803)에 입력되는 신호를 전송하는 접속배선이다. 배선은 외부장비에 디스플레이 장치를 접속하기 위한 단말로서 작용하는 FPC(유연한 인쇄회로)(809)로부터 비디오 신호, 클럭신호 등을 받는다.

도 13a는 선 A-A'을 따라 절단한 것이고 이의 단면을 도 13b에 도시하였다. 도 13a 및 13b에서, 동일한 구성요소는 동일한 참조부호로 나타내었다.

도 13b에 도시한 바와 같이, 화소부(803) 및 소스 신호 라인 구동회로(801)는 기판(800)상에 형성된다. 화소부(803)는 EL 소자로 흐르는 전류량을 제어하는 TFT(851)을 각각 구비한 복수의 화소, TFT(851)의 드레인 영역에 전기적으로 접속된 화소전극(852) 및 기타 구성요소로 구성된다.

이 실시예에서, 구동 TFT(851)은 p채널 TFT이다. 화소부를 구성하는 TFT의 전형으로서 구동 TFT를 기술하도록 하겠다. 소스 신호 라인 구동회로(801)를 구성하는 TFT의 전형으로서, n채널 TFT(853) 및 p채널 TFT(854)가 상보적으로 조합된 CMOS 회로를 기술하도록 하겠다.

각각의 화소는 화소 전극(852) 밑에 컬러필터(R)(855), 컬러필터(G)(856) 및 컬러필터(B)(도시없음) 중 하나를 갖는다. 컬러필터(R)는 적색광을 추출하기 위한 컬러 필터이고, 컬러필터(G)는 녹색광을 추출하기 위한 컬러필터이고, 컬러필터(B)는 청색광을 추출하기 위한 컬러필터이다. 컬러필터(R)(855)는 적색광 방출화소 내에 설치되고, 컬러필터(G)(856)은 녹색광 방출화소 내에 설치되고, 컬러필터(B)는 청색광 방출화소 내에 설치된다.

이들 컬러필터의 효과로서 주어지는 첫 번째 것은 방출광의 순도가 컬러에 대해 향상된다는 것이다. 예를 들면, 적색광 방출화소의 EL 소자는 적색광(이 실시예에서 화소 전극측을 향한)을 방출하고 방출된 적색광은 적색광을 추출하기 위한 컬러필터를 통과하여 향상된 순도의 적색을 얻는다. 마찬가지로 녹색 및 청색의 경우에도 적용된다.

컬러필터가 사용되지 않은 종래의 구성에서, 가시광은 EL 디스플레이 장치의 외부로부터 들어갈 수 있어 EL 소자의 발광층을 여기하여 방출된 광의 색을 원하는 색과는 다른 색이 되게 한다. 반면, 컬러필터가 이 실시예에서처럼 사용될 때, 단지 특정한 파장의 광만이 EL 소자에 들어간다. 이에 따라 외부광에 의해 여기되는 EL 소자의 불편이 회피될 수 있다.

컬러필터를 포함하는 어떤 구조들이 제안되어 있다. 이들 종래의 경우에 사용되는 EL 소자는 백색광을 방출하는 것이다. EL 소자를 백색광을 방출할 때, 적색광은 다른 파장의 광을 차단함으로써 추출되는데, 이것은 휘도 저하를 초래한다. 한편, EL 소자로부터 방출되는 적색광이 적색광 추출을 위한 컬러필터를 통과하는 이 실시예는 휘도를 저하시키지 않는다.

화소 전극(852)은 투명 도전막으로부터 형성되고 EL 소자의 애노드로서 기능한다. 절연막(857)은 화소 전극(852)의 각각의 측 상에 형성되고 적색광을 방출하는 발광층(858)과 녹색광을 방출하는 발광층(859)이 더 형성된다. 도 13에 도시하지 않았으나, 청색광을 방출하는 발광층은 발광층(859)을 갖는 화소에 인접한 화소에 형성된다. 이에 따라 컬러 디스플레이는 적색광, 녹색광 및 청색광을 방출하는 화소에 의해 얻어진다. 말할 나위 없이, 청색광을 방출하는 발광층을 갖는 화소는 청색광을 추출하기 위한 컬러필터를 구비한다.

EL 물질로서 유기물질 이외에 무기물질이 사용될 수 있다. 발광층은 적층을 형성하도록 전자 주입층, 전자 이송층, 정공 이송층 및 정공 주입층 중 하나 이상의 층과 조합하여 사용될 수 있다.

EL 소자의 캐소드(860)는 광차폐 도전막으로부터 발광층 상에 형성된다. 캐소드(860)는 모든 화소들이 공유하며 접속배선(808)을 통해 FPC(809)에 전기적으로 접속된다.

다음에 제 1 실링부재(805)는 디스펜서 등을 사용하여 형성되며, 스페이서(도시생략)가 스프레이되고, 피복물질(804)이 분당된다. 충전재(807)는 액티브 매트릭스 기판, 피복부재(804) 및 제 1 실링부재(805)에 의해 둘러싸인 영역에 진공주입에 의해 충전된다.

이 실시예에서, 충전재(807)에는 흡습성 물질(861)로서 산화바륨이 사전에 도핑된다. 충전재가 이 실시예에서 흡습성 물질로 도핑될지라도, 충전재 전체를 통해 분산된 청크(chunk)로 충전재에 포함될 수 있다. 대안으로, 도시되지 않았으나, 흡습성 물질은 스페이서용 물질로서 사용될 수도 있다.

이어서 충전재(807)는 자외광의 조사에 의해서 혹은 가열에 의해서 경화된다. 그후, 제 1 실링부재(805)에 형성된 개구부(도시생략)를 폐쇄한다. 제 1 실링부재(805) 내 개구부를 폐쇄한 후에, 접속배선(808)이 도전물질(862)로 FPC(809)에 전기적으로 접속된다. 제 2 실링부재(806)는 제 1 실링부재(805)의 노출된 부분과 FPC(809)의 일부를 덮도록 배치된다. 제 2 실링부재(806)는 제 1 실링부재(805)와 동일한 물질로부터 형성될 수 있다.

EL 소자는 전술한 방법에 따라 충전재(807) 안에 넣어지고, 이에 의해서 EL 소자는 외부로부터 격리되고, 습기와, 산소같은 유기물질의 산화를 촉진하는 물질이 외부로부터 EL 소자로 들어가는 것이 방지될 수 있다. 이에 따라 고 신뢰성의 EL 디스플레이 장치가 제조될 수 있다.

이 실시예는 실시예 1 내지 10과 자유롭게 조합될 수 있다.

#### 실시예 12

이 실시예는 EL 소자로부터 방출된 광의 이동 방향과 컬러필터의 배열이 실시예 11에 도시한 EL 디스플레이 장치의 것과는 다른 경우의 예를 보여준다. 도 14를 참조하여 설명한다. 도 14의 기본구조는 도 13과 동일하며 수정된 구성요소만이 새로운 참조부호를 사용하고 이에 대해 설명한다.

화소부(901)은 EL 소자로 흐르는 전류량을 제어하는 TFT(902)(구동 TFT)를 각각이 갖는 복수의 회로, TFT(902)의 드레인 영역에 전기적으로 접속된 화소전극(903), 및 기타 구성요소로 구성된다.

이 실시예에서, n채널 TFT는 화소부(901) 내 구동 TFT(902)용으로 사용된다. 구동 TFT(902)의 드레인은 광차폐 도전막으로부터 형성된 화소전극(903)에 전기적으로 접속된다. 화소 전극(903)은 이 실시예에서 EL 소자의 캐소드로서 작용한다.

적색광을 방출하는 발광층(858)과 녹색광을 방출하는 발광층(859) 상에는, 화소들이 공유하는 투명 도전막(904)이 형성된다. 투명 도전막(904)은 EL 소자의 애노드로서 작용한다.

이 실시예의 또다른 특징은 컬러필터(R)(905), 컬러필터(G)(906) 및 컬러필터(B)(도시생략)가 피복물질(804)에 형성된다는 것이다. 이 실시예의 구성을 갖는 EL 소자에 의해서, 발광층으로부터 방출된 광은 피복부재측을 향하여 이동한다. 그러므로 컬러필터는 도 14의 구조에서 광의 그 경로에 배치될 수 있다.

이 실시예처럼 피복부재(804)에 컬러필터(R)(905), 컬러필터(G)(906), 및 컬러필터(B)(도시생략)를 형성하는 것은 액티브 매트릭스 기판을 제조하는 단계 수가 감소될 수 있어 생산수율을 향상시키기 때문에 잇점이 있다.

이 실시예는 실시예 1 내지 10과 자유롭게 조합될 수 있다.

#### 실시예 13

이 실시예는 실시예 1에 따라 도 1에 도시한 구조를 갖는 온도보상 회로의 정전류 발생기를 소자로부터 실제로 구성하는 경우를 기술한다.

도 23은 이 실시예에 따른 온도 보상 회로의 구성을 도시한 회로도이다.

도 23에서, 온도보상회로(701)는 정전류 발생기(704), 감시 EL 소자(703) 및 버퍼 증폭기(702)로 구성된다.

정전류 발생기(704)의 출력은 감시 EL 소자(703)의 전극과 버퍼 증폭기(702)의 입력단자에 접속된다. 버퍼 증폭기(702)의 출력은 온도 보상회로(701)의 출력으로서 작용한다.

온도 보상회로(701)의 출력은 전원 라인(705)에 접속되며, 이 전원 라인은 전위를 구동 TFT(도시생략)의 소스-드레인을 통해 화소 내 EL 소자(도시생략)의 화소전극에 공급한다.

정전류 발생기(704)는 증폭기(706), 가변 저항기(707) 및 트랜지스터(708)로 구성된다.

트랜지스터(708)은 이 실시예에서 주어진 설명에서 p채널 TFT이지만 그러나 트랜지스터는 이것으로 한정되지 않는다. 이 트랜지스터의 구성은 n채널 TFT 혹은 p채널 TFT일 수 있다. 대안으로, 트랜지스터는 바이폴라 트랜지스터일 수 있다.

트랜지스터(708)는 증폭기(706)의 반전 입력단자(-)와 가변 저항기(707)에 접속된 소스 영역을 가지며, 정전류 발생기(704)의 출력단자에 접속된 드레인 영역을 갖는다. 트랜지스터(708)의 게이트 전극은 증폭기(706)의 출력단자에 접속된다.

정전압(V2)은 증폭기(706)의 비반전 단자(+)에 입력된다.

정전류 발생기를 구성하는 증폭기(706), 가변 저항기(707) 및 트랜지스터(708)는 IC 칩에 혹은 절연면을 가지며 화소가 형성된 동일 기판 상에 형성될 수 있다.

정전류 발생기(701)에 접속된 감시 EL 소자(703)는 정전류 발생기(701)에 의해 발생된 정전류가 흐르게 하도록 동작한다. 디스플레이 장치가 사용 중에 있는 동안 주변온도 변화가 있다면, 감시 EL 소자(703)를 통해 흐르는 전류량이 변하지 않는다. 대신에, 정전류 발생기(704)에 접속된 감시 EL 소자의 전극의 전위가 변경된다.

화소 내 감시 EL 소자(703) 및 EL 소자는 소자의 두 개의 전극 간에 인가되는 전압의 레벨에 대한 소자에 흐르는 전류량과의 관계가 동일 온도에서 감시 EL 소자(703) 및 화소 EL 소자에 대해 동일하게 되도록 제조된다.

정전류 발생기(704) 및 버퍼 증폭기(702)의 비반전 입력단자에 접속되지 않은 감시 EL 소자(703)의 전극의 전위는 각 화소 내 EL 소자의 대향전극의 전위와 동일한 레벨로 설정된다.

온도 보상회로에서, 버퍼 증폭기의 출력과 정전류 발생기에 접속된 감시 EL 소자의 전극이 애노드이면 버퍼 증폭기의 출력단자에 접속된 화소 EL 소자의 전극(화소전극)이 애노드이어야 한다. 반면, 온도 보상회로에서, 버퍼 증폭기의 출력과 정전류 발생기에 접속된 감시 EL 소자의 전극이 캐소드이면, 버퍼 증폭기의 출력단자에 접속된 화소 EL 소자(화소 전극)의 전극은 캐소드이어야 한다.

감시 EL 소자의 애노드가 정전류 발생기(704) 및 버퍼 증폭기(702)에 접속되는 경우를 이 실시예에서 고찰한다. 이 경우, 화소 EL 소자의 화소전극은 애노드이다.

감시 EL 소자에 전류가 흐르게 하기 위해서, 전위(V1)는 입력 전위(V2)보다 높은 레벨로 설정된다. 전위(V1)는 트랜지스터(708) 및 증폭기(706)의 비반전 입력단자에 접속되지 않은 가변 저항기(707)의 단자의 전위이다. 입력 전위(V2)는 증폭기(706)의 비반전 입력단자에 입력되는 전위이다. 감시 EL 소자(703)의 애노드의 전위(V3)은 전위(V2)보다 낮은 레벨로 설정된다.

감시 EL 소자(703)의 전위(V3)가 두 개의 전극 간 전압을 변경하도록 변경되었을 때, 화소 EL 소자의 애노드의 전위도 마찬가지로 두 개의 전극 간 전압을 변경하도록 변경된다. 이 전압 변경은 주변온도에서 정전류 발생기(704)에 의해 제공되는 정전류가 화소부 EL 소자에도 흐르게 하도록 작용한다. 이러한 식으로, 화소부 EL 소자는 주변온도 변화에 관계없이 일정한 전류를 받아 일정한 휘도의 광을 방출한다.

정전류 발생기의 구조는 704의 구조로 한정되지 않으며, 임의의 공지의 구성의 정전류 발생기는 제약 없이 채용될 수 있다.

이 실시예는 실시예 1 내지 12와 자유롭게 조합될 수 있다.

#### 실시예 14

이 실시예는 온도변화에 의해 야기된 본 발명의 디스플레이 장치에서 화소 EL 소자의 휘도변화를 측정한 결과를 보인 것이다.

도 24는 측정결과를 도시한 그래프이다. 그래프에서, 횡축은 휘도( $\text{cd/m}^2$ )을 나타내고 종축은 온도( $^{\circ}\text{C}$ )를 나타낸다.

나타난 결과는 도 23에 도시한 바와 같이 구성된 온도 보상회로가 사용된 경우의 것이다.

그래프는 온도 보상회로를 구비하지 않은 디스플레이 장치에서 온도변화에 기인한 화소 EL 소자의 휘도변화를 측정한 결과를 나타낸다.

온도 보상회로가 전혀 설치되지 않은 경우, EL 소자의 휘도는 온도가 상승함에 따라 증가된다. 반면, 온도 보상회로를 사용한 경우, EL 소자의 휘도는 온도에 관계없이 거의 일정하다.

이에 따라 본 발명은 온도 보상회로를 사용함으로써 온도변화에 기인하여 디스플레이 장치의 화소부 EL 소자의 휘도변화를 방지할 수 있다.

본 발명은 다음과 같은 점에서 잇점이 있다. EL 소자를 구성하는 EL층은 주로 유기 화합물로부터 형성되고 이의 열화는 해결해야 하는 문제이다. 화소 EL 소자가 소자의 전극들 간 흐르는 일정한 전류를 수신할 때 광을 방출하는 경우와 소자의 전극들 간 인가된 일정 전압을 수신하였을 때 화소 EL 소자가 광을 방출하는 경우를 비교하면, EL 소자의 열화에 기인한 휘도저하는 전자의 경우 덜하다. 그러므로 이 실시예에서 소자가 광을 방출하게 하도록 일정전류를 EL 소자에 입력은 EL 층의 열화에 기인한 휘도저하를 제한시킬 수 있다.

이에 따라 화소 EL 소자의 휘도가 주변온도 변화에 의해 변하지 않고 EL 소자가 열화되었을 때 휘도가 덜 저하되는 디스플레이 장치가 얻어질 수 있다.

#### 실시예 15

본 발명을 적용함으로써 제조된 EL 디스플레이 장치는 여러 가지 종류의 전자장비에서 사용될 수 있다. 본 발명을 적용함으로써 제조된 EL 디스플레이 장치를 디스플레이 매체로서 탑재한 전자장비를 이하 설명한다.

이러한 종류의 전자장비는 개인용 컴퓨터, 휴대용 정보매체(이블테면, 이동 컴퓨터, 이동전화, 전자책 등), 게임기, TV 수상기, 비디오 카메라, 디지털 카메라, 진하, 헤드 장착용 디스플레이(고글형 디스플레이), 이미지 재생장치, 자동차 항법 시스템 등을 포함한다. 이들의 예를 도 9에 도시하였다.

도 25a는 본체(2001), 케이스(2002), 디스플레이부(2003), 키보드(2004) 등을 포함하는 개인용 컴퓨터를 도시한 것이다. 본 발명의 EL 디스플레이 장치는 개인용 컴퓨터의 디스플레이부(2003)에 사용될 수 있다.

도 25b는 본체(2100), 디스플레이부(2102), 사운드 입력부(2103), 조작 스위치(2104), 배터리(2105), 이미지 수신부(2106) 등을 포함하는 비디오 카메라를 도시한 것이다. 본 발명의 EL 디스플레이 장치는 비디오 카메라의 디스플레이부(2102)에 사용될 수 있다.

도 25c는 본체(2301), 신호 케이블(2302), 헤드 고정 밴드(2303), 스크린 모니터(2304), 광학 시스템(2305), 디스플레이부(2306) 등을 포함하는 헤드 장착용 디스플레이의 일부(우측)를 도시한 것이다. 본 발명의 EL 디스플레이 장치는 헤드 장착용 디스플레이의 디스플레이부(2306)에 사용될 수 있다.

도 25d는 본체(2401), 기록매체(이를 테면 CD, LD 혹은 DVD)(2402), 조작 스위치(2403), 디스플레이부(a)(2404), 디스플레이부(b)(2405) 등을 포함하는 기록매체(구체적으로, DVD 재생장치)를 갖춘 이미지 재생장치를 도시한 것이다. 디스플레이부(a)(2404)는 주로 이미지 정보를 디스플레이하는데 사용된다. 디스플레이부(b)(2405)는 주로 문자정보를 디스플레이하는데 사용된다. 본 발명의 EL 디스플레이 장치는 디스플레이부(a)(2404) 및 기록매체가 갖추어진 이미지 재생장치의 디스플레이부(b)(2405)에 사용될 수 있다. 본 발명은 CD 재생장치와 같은 장치 및 기록매체를 갖춘 이미지 재생장치로서 게임기에 적용될 수 있다.

도 25e는 본체(2501), 카메라부(2502), 이미지 수신부(2503), 조작 스위치(2504), 디스플레이부(2505) 등을 포함하는 이동 컴퓨터를 도시한 것이다. 본 발명의 EL 디스플레이 장치는 이동 컴퓨터의 디스플레이부(2505)에 사용될 수 있다.

더욱이, EL 물질의 방출 휘도가 장래에 향상된다면, EL 물질은 전방형 혹은 후방형 프로젝터에 사용될 수 있다.

이 실시예의 전자장비는 실시예 1 내지 14가 자유롭게 조합되는 구성을 사용하여 실현될 수 있다.

#### 발명의 효과

종래의 EL 디스플레이 장치는, EL 소자에 인가된 전압이 동일할지라도 EL 소자의 온도특성에 따라 장치를 사용하고 있는 중에 EL 소자에 흐르는 전류량이 주변온도 변화에 의해 변하기 때문에, 이를테면 휘도변동 및 증가된 전류소비 등의 문제가 있다.

또한, 바텀 게이트 TFT로 구성된 소스 신호 라인 구동회로는 디스플레이 장치가 이의 열등한 주파수 특성과 결과적인 느린 동작 때문에 보다 대형의 스크린 및 보다 많은 그레이 스케일을 얻는데 방해가 된다.

본 발명은 온도변화에 대해서 화소부 EL 소자에 흐르는 전류량을 일정하게 유지하는 기술한 구성을 채용한다. 본 발명은 또한 비디오 신호를 시간축으로 신장시킴으로써 소스 신호 라인 구동회로에서 비디오 신호의 샘플링에 마진을 제공한다.

이러한 식으로, 본 발명은 주변온도 변화에 기인한 EL 소자의 휘도변화 및 전류 소비증가를 방지할 수 있고 바텀 게이트 TFT로 구성된 소스 신호 라인 구동회로의 주파수 특성을 보상함으로써 보다 대형의 스크린, 고품위 및 보다 많은 그레이 스케일을 얻을 수 있는 디스플레이 장치를 제공할 수 있다.

#### (가) 장구의 범위

##### 청구항 1.

버퍼 증폭기, 감시 EL 소자, 정전류 발생기, 복수의 화소들 및 전원 라인을 포함하는 디스플레이 장치에 있어서,

상기 복수의 화소들 각각은 바텀 게이트형 TFT와 EL 소자를 구비하며;

상기 감시 EL 소자 및 상기 EL 소자 각각은 제 1 전극, 제 2 전극 및 상기 제 1 전극과 상기 제 2 전극 사이에 개재된 EL 층을 구비하며;

상기 감시 EL 소자의 상기 제 1 전극은 상기 정전류 발생기 및 상기 버퍼 증폭기의 비반전 입력단자에 접속되며;

상기 버퍼 증폭기의 출력단자는 상기 정전류 발생기에 접속되고;

상기 전원 라인의 전위는 상기 바텀 게이트형 TFT를 통해 상기 EL 소자의 상기 제 1 전극에 제공되는 디스플레이 장치;

청구항 2.

버퍼 증폭기, 감시 EL 소자, 정전류 발생기, 가산기 회로, 복수의 화소들 및 전원 라인을 포함하는 디스플레이 장치에 있어서,

상기 복수의 화소들 각각은 바텀 게이트형 TFT와 EL 소자를 구비하며;

상기 감시 EL 소자 및 상기 EL 소자 각각은 제 1 전극, 제 2 전극 및 상기 제 1 전극과 상기 제 2 전극 사이에 개재된 EL 층을 구비하며;

상기 감시 EL 소자의 상기 제 1 전극은 상기 정전류 발생기 및 상기 버퍼 증폭기의 비반전 입력단자에 접속되며;

상기 버퍼 증폭기의 출력단자는 상기 가산기 회로의 입력단자에 접속되고;

상기 가산기 회로의 출력단자는 상기 전원 라인에 접속되고;

상기 가산기 회로의 상기 입력단자와 상기 가산기 회로의 상기 출력단자 간 전위차는 일정하게 유지되며;

상기 전원 라인의 전위는 상기 바텀 게이트형 TFT를 통해 상기 EL 소자의 상기 제 1 전극에 제공되는 디스플레이 장치;

청구항 3.

디스플레이 장치에 있어서,

감시 EL 소자와;

복수의 소스 신호 라인들과;

복수의 게이트 신호 라인들과;

복수의 전원 라인들과;

복수의 화소들과;

상기 복수의 소스 신호 라인들에 신호를 입력하기 위한 소스 신호 라인 구동회로; 및

상기 복수의 게이트 신호 라인들에 신호를 입력하기 위한 게이트 신호 라인 구동회로를 포함하며,

상기 복수의 화소들 각각은 EL 소자, 스위칭 TFT, 및 구동 TFT를 구비하고;

상기 감시 EL 소자 및 상기 EL 소자 각각은 제 1 전극, 제 2 전극 및 상기 제 1 전극과 상기 제 2 전극 사이에 개재된 EL 층을 구비하며;

상기 스위칭 TFT의 게이트 전극은 상기 복수의 게이트 신호 라인들 중 하나에 접속되고;

상기 스위칭 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 복수의 소스 신호 라인들 중 하나에 접속되고, 다른 하나는 상기 구동 TFT의 게이트 전극에 접속되며;

상기 구동 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 복수의 전원 라인들 중 하나에 접속되고, 다른 하나는 상기 EL 소자의 상기 제 1 전극 및 상기 제 2 전극 중 하나에 접속되며;

상기 감시 EL 소자는 온도변화에 기인하여 상기 복수의 전원 라인들 중 하나로부터 상기 EL 소자에 흐른 전류량 변화를 감소시키는 데 사용되는 것인 디스플레이 장치.

정구항 4.

디스플레이 장치에 있어서,

감시 EL 소자와;

버퍼 증폭기와;

정전류 발생기와;

복수의 소스 신호 라인들과;

복수의 게이트 신호 라인들과;

복수의 전원 라인들과;

복수의 화소들과;

상기 복수의 소스 신호 라인들에 신호를 입력하기 위한 소스 신호 라인 구동회로;

상기 복수의 게이트 신호 라인들에 신호를 입력하기 위한 게이트 신호 라인 구동회로를 포함하며,

상기 소스 신호 라인 구동회로는 바텀 게이트형 TFT를 구비하고;

상기 감시 EL 소자 및 상기 EL 소자 각각은 제 1 전극, 제 2 전극 및 상기 제 1 전극과 상기 제 2 전극 사이에 개재된 EL 층을 구비하며;

상기 스위칭 TFT의 게이트 전극은 상기 복수의 게이트 신호 라인들 중 하나에 접속되고;

상기 스위칭 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 복수의 소스 신호 라인들 중 하나에 접속되고, 다른 하나는 상기 구동 TFT의 게이트 전극에 접속되며;

상기 구동 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 복수의 전원 라인들 중 하나에 접속되고, 다른 하나는 상기 EL 소자의 상기 제 1 전극에 접속되며;

상기 감시 EL 소자의 제 1 전극은 상기 정전류 발생기 및 상기 버퍼 증폭기의 비반전 입력단자에 접속되고;

상기 버퍼 증폭기의 출력단자는 상기 복수의 전원 라인들에 접속되고;

상기 복수의 전원 라인들의 전위는 상기 구동 TFT의 상기 바텀 게이트형 TFT를 통해 상기 EL 소자의 상기 제 1 전극에 재향되는 디스플레이 장치.



청구항 5.

디스플레이 장치에 있어서,

감시 EL 소자와;

버퍼 증폭기와;

정전류 발생기와;

가산기 회로와;

복수의 소스 신호 라인들과;

복수의 게이트 신호 라인들과;

복수의 전원 라인들과;

복수의 화소들과;

상기 복수의 소스 신호 라인들에 신호를 입력하기 위한 소스 신호 라인 구동회로; 및

상기 복수의 게이트 신호 라인들에 신호를 입력하기 위한 게이트 신호 라인 구동회로를 포함하며,

상기 소스 신호 라인 구동회로는 바텀 게이트형 TFT를 구비하고;

상기 복수의 화소들 각각은 EL 소자, 스위칭 TFT, 및 구동 TFT를 구비하고;

상기 감시 EL 소자 및 상기 EL 소자 각각은 제 1 전극, 제 2 전극 및 상기 제 1 전극과 상기 제 2 전극 사이에 개재된 EL 층을 구비하며;

상기 스위칭 TFT의 게이트 전극은 상기 복수의 게이트 신호 라인들 중 하나에 접속되고;

상기 스위칭 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 복수의 소스 신호 라인들 중 하나에 접속되고, 다른 하나는 상기 구동 TFT의 게이트 전극에 접속되며;

상기 구동 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 복수의 전원 라인들 중 하나에 접속되고, 다른 하나는 상기 EL 소자의 상기 제 1 전극에 접속되며;

상기 감시 EL 소자의 제 1 전극은 상기 정전류 발생기 및 상기 버퍼 증폭기의 비반전 입력단자에 접속되고;

상기 버퍼 증폭기의 출력단자는 상기 가산기 회로의 입력단자에 접속되고;

상기 가산기 회로의 출력단자는 상기 복수의 전원 라인들 중 하나에 접속되며;

상기 가산기 회로의 상기 입력단자와 상기 가산기 회로의 상기 출력단자 간 전위차는 일정하게 유지되며;

상기 복수의 전원 라인들의 전위는 상기 바텀 게이트형 TFT를 통해 상기 EL 소자의 상기 제 1 전극에 제공되는 디스플레이 장치.

청구항 6.

제 3항 내지 제 5항 중 어느 한 항에 있어서, 상기 소스 신호 라인 구동회로는 디지털 신호들을 연속적으로 샘플링하는 수단을 구비하는 디스플레이 장치.

청구항 7.

제 3항 내지 제 5항 중 어느 한 항에 있어서, 상기 소스 신호 라인 구동회로는  $k$ 배 시간축 신장( $k$ 는 자연수)이 된 디지털 신호들을 연속적으로 샘플링하는 수단을 구비하며, 상기 샘플링은  $k$  디지털 신호들에 대해 동시에 실행되는 것인 디스플레이 장치.

청구항 8.

제 3항 내지 제 5항 중 어느 한 항에 있어서, 상기 소스 신호 라인 구동회로는 아날로그 신호들을 연속적으로 샘플링하는 수단을 구비하는 디스플레이 장치.

청구항 9.

제 3항 내지 제 5항 중 어느 한 항에 있어서, 상기 소스 신호 라인 구동회로는  $k$ 배 시간축 신장( $k$ 는 자연수)이 된 아날로그 신호들을 연속적으로 샘플링하는 수단을 구비하며, 상기 샘플링은  $k$  아날로그 신호들에 대해 동시에 실행되는 것인 디스플레이 장치.

청구항 10.

제 1항 내지 제 5항 중 어느 한 항에 있어서, 상기 제 1 전극은 애노드이고 상기 제 2 전극은 상기 감시 EL 소자 및 상기 EL 소자의 캐소드인 디스플레이 장치.

청구항 11.

제 1항 내지 제 5항 중 어느 한 항에 있어서, 상기 제 1 전극은 캐소드이고 상기 제 2 전극은 상기 감시 EL 소자 및 상기 EL 소자의 애노드인 디스플레이 장치.

청구항 12.

제 1항 및 제 4항 중 어느 한 항에 있어서, 상기 버퍼 증폭기 및 상기 정전류 발생기 중 적어도 하나는 박막 트랜지스터로 구성된 디스플레이 장치.

청구항 13.

제 2항 및 제 5항 중 어느 한 항에 있어서, 상기 버퍼 증폭기, 상기 정전류 발생기 및 상기 가산기 회로 중 적어도 하나는 박막 트랜지스터로 구성된 디스플레이 장치.

청구항 14.

제 1항 내지 제 5항 중 어느 한 항에 있어서, 상기 EL 소자는 단색광을 방출하는 EL 층 및 컬러 변환층들을 조합하여 구비하여 컬러 디스플레이를 제공하는 디스플레이 장치.

청구항 15.

제 1항 내지 제 5항 중 어느 한 항에 있어서, 상기 EL 소자는 백색광을 방출하는 EL 층 및 컬러 필터들을 조합하여 구비하여 컬러 디스플레이를 제공하는 디스플레이 장치.

청구항 16.

제 1항 내지 제 5항 중 어느 한 항에 있어서, 상기 EL 소자의 상기 EL 층은 저분자량 유기물질 혹은 폴리머 유기물질로부터 형성된 디스플레이 장치.

청구항 17.

제 16항에 있어서, 저분자 유기물질은  $Alq_3$  (트리스-8-퀴놀리라이트-알루미늄) 혹은 TPD(트리페닐라민 유도체)를 포함하는 디스플레이 장치

청구항 18.

제 16항에 있어서, 상기 폴리머 유기물질은 PPV(폴리페닐렌 비닐렌), PVK(폴리비닐 카바졸), 혹은 폴리카보네이트를 포함하는 디스플레이 장치.

청구항 19.

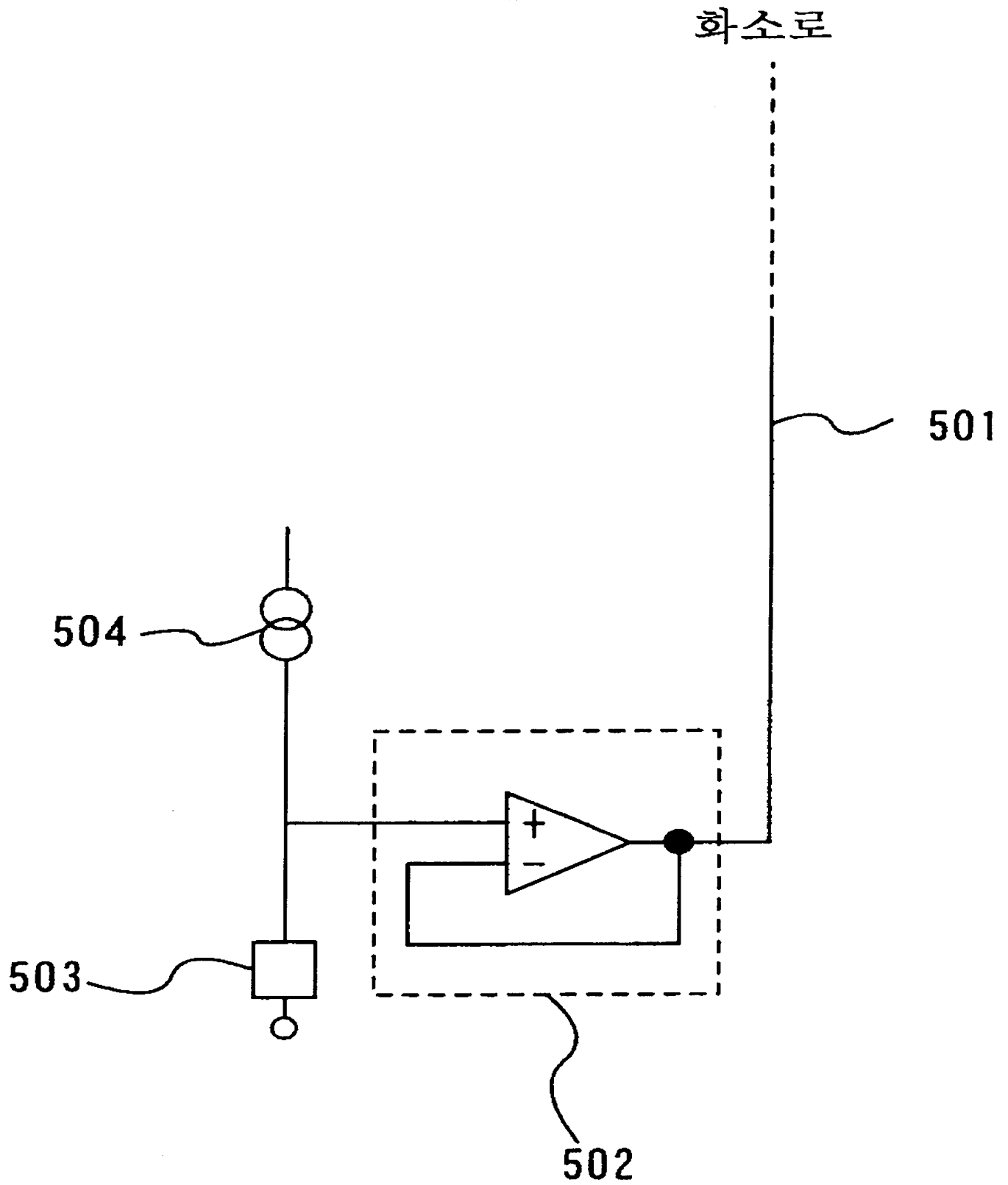
제 1항 내지 제 5항 중 어느 한 항에 있어서, 상기 EL 소자의 상기 EL 층은 무기물질로부터 형성된 디스플레이 장치.

청구항 20.

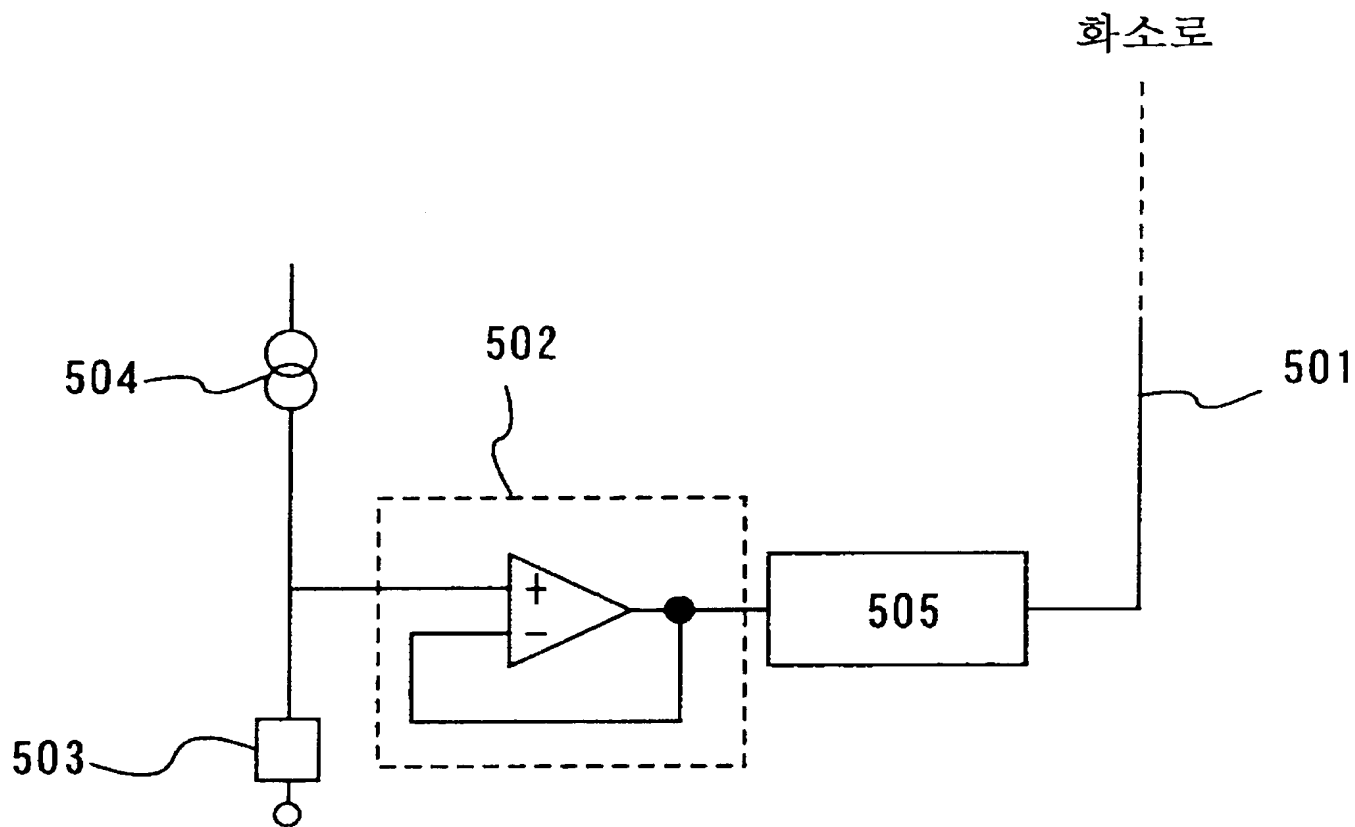
제 1항 내지 제 5항 중 어느 한 항에 있어서, 상기 디스플레이 장치는 개인용 컴퓨터, 비디오 카메라, 헤드 장착용 디스플레이, 이미지 재생장치, 및 이동 컴퓨터로 구성된 그룹으로부터 선택된 전자장비에 탑재되는 디스플레이 장치.

도 7

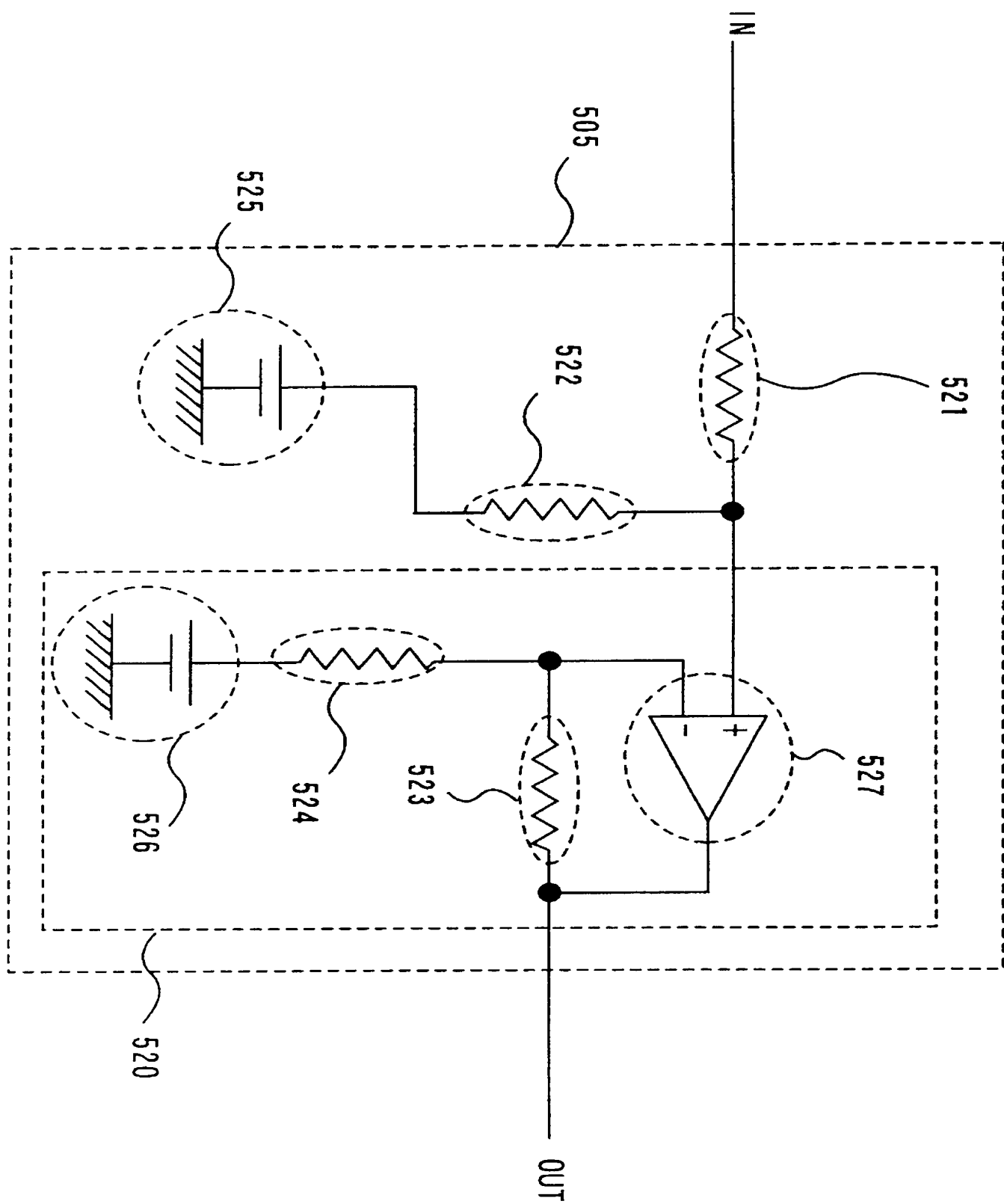
도면 1



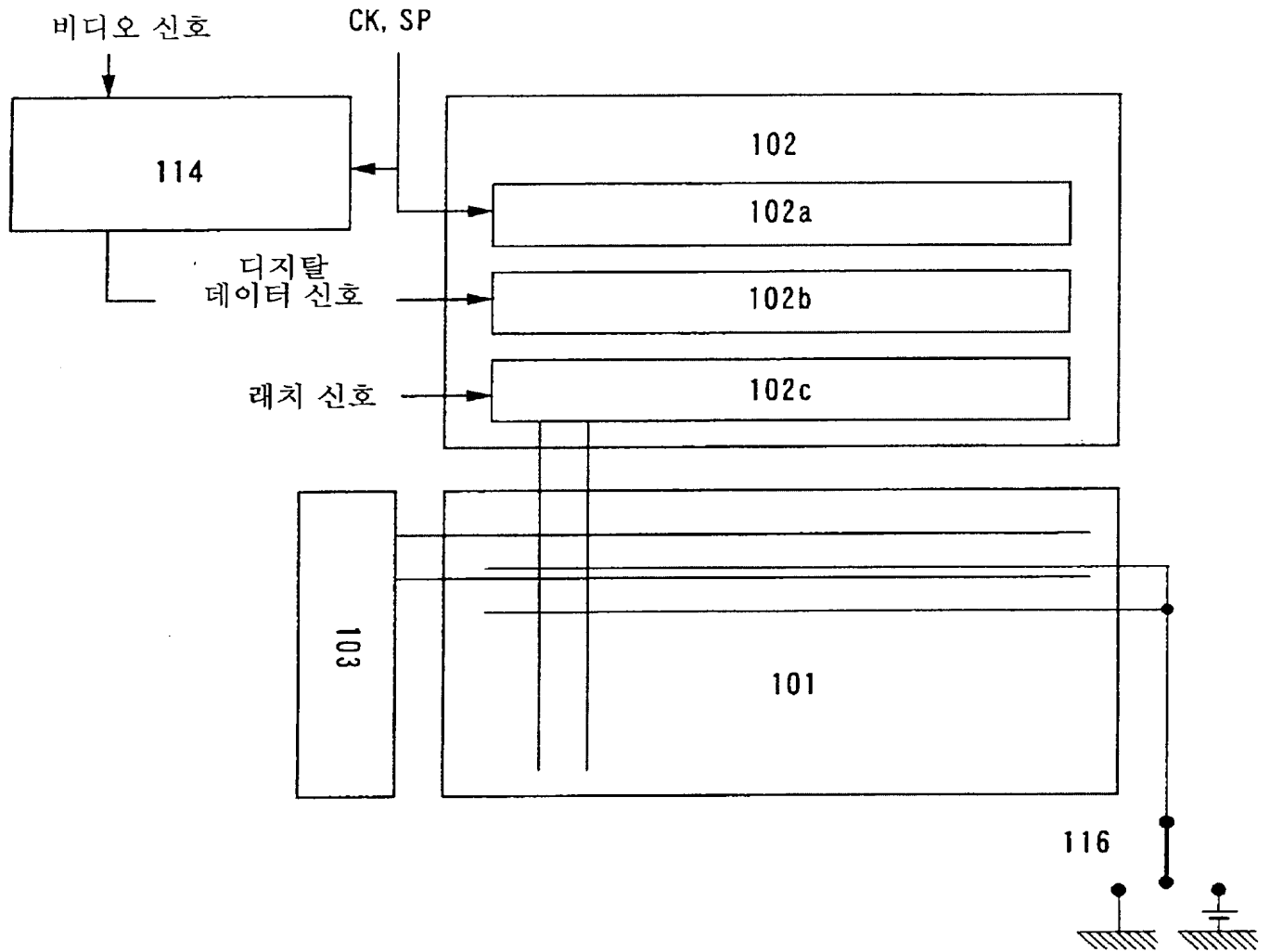
도면 2



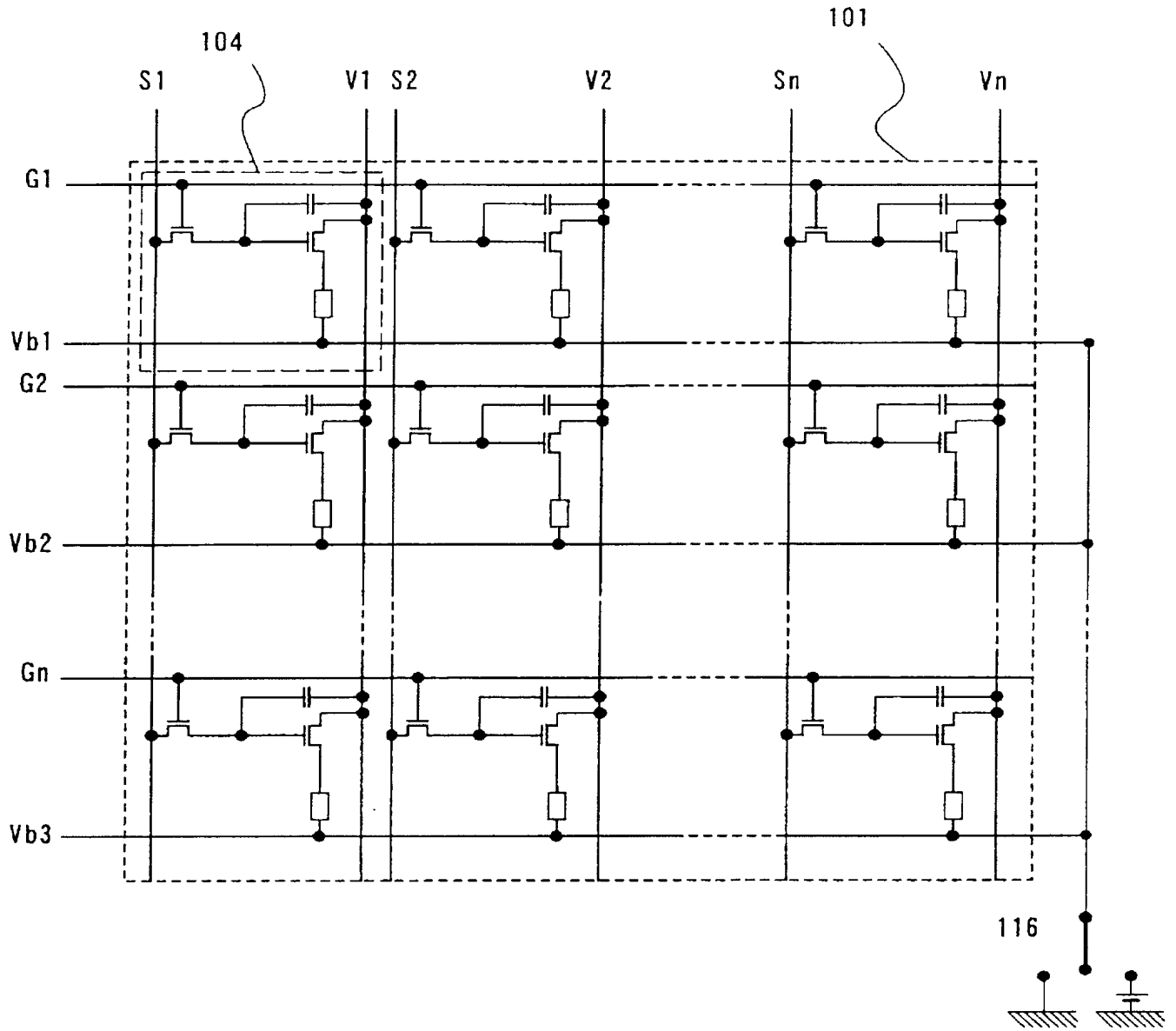
도면 3



도면 1

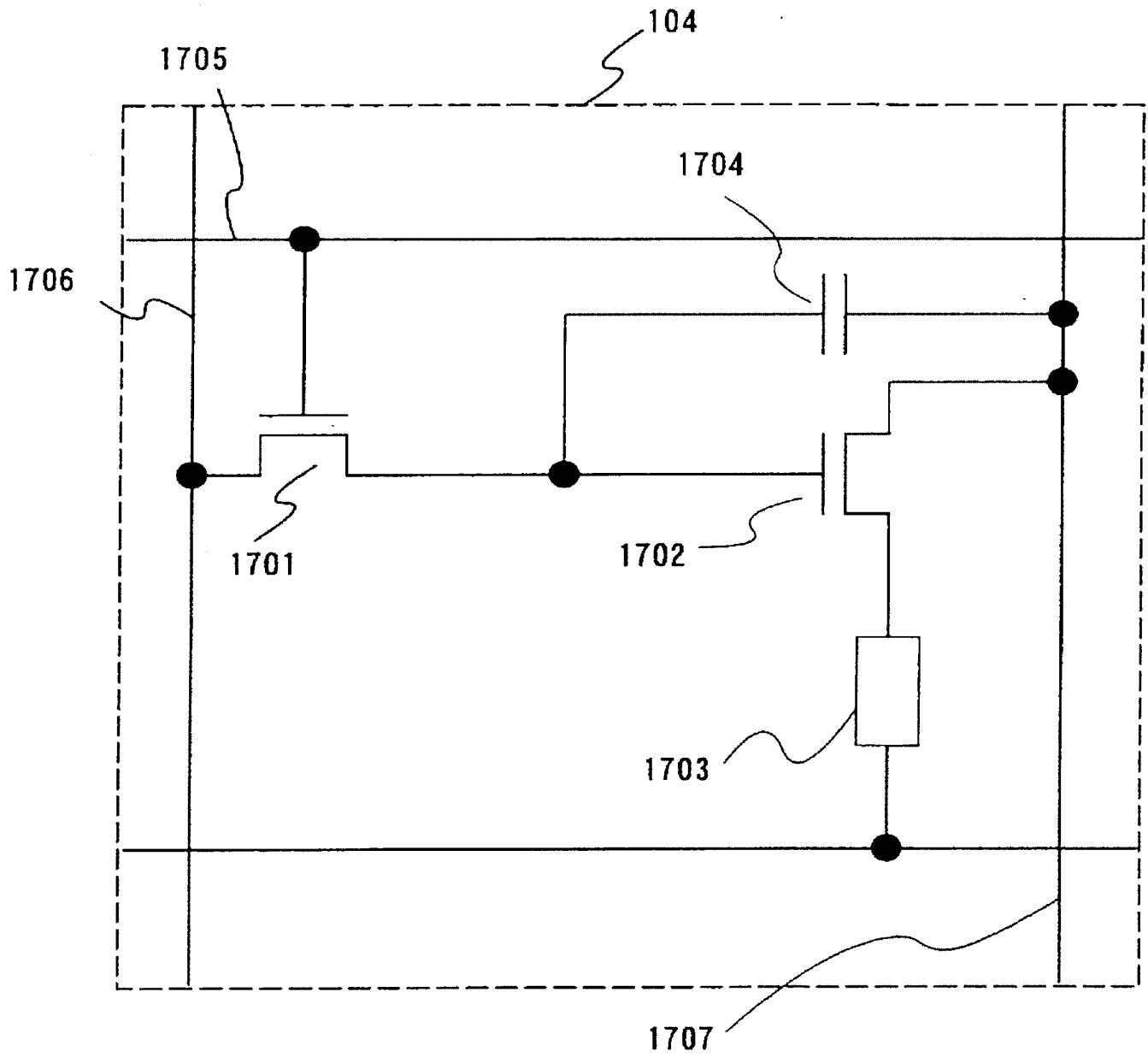


도면 5

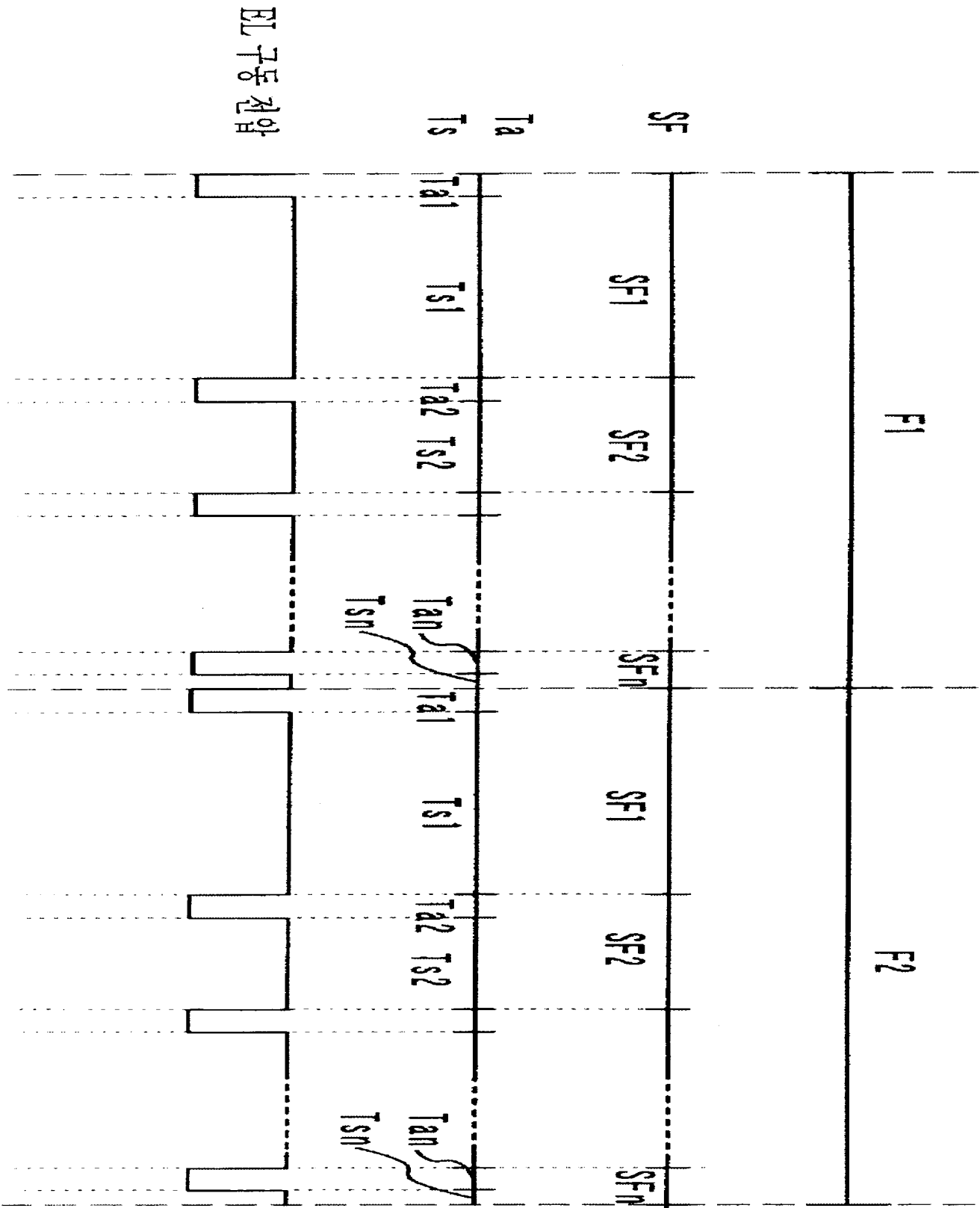




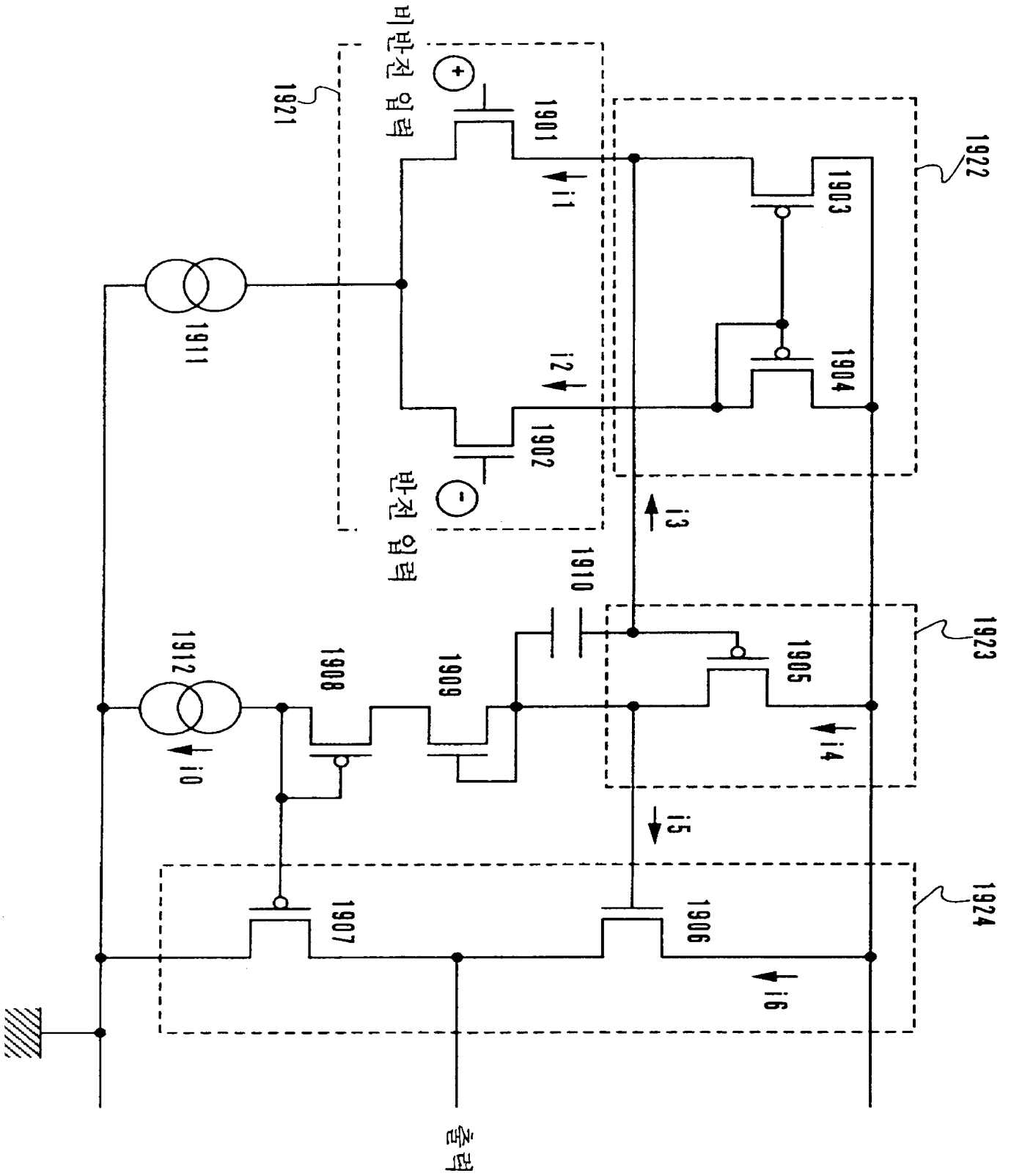
도면 6



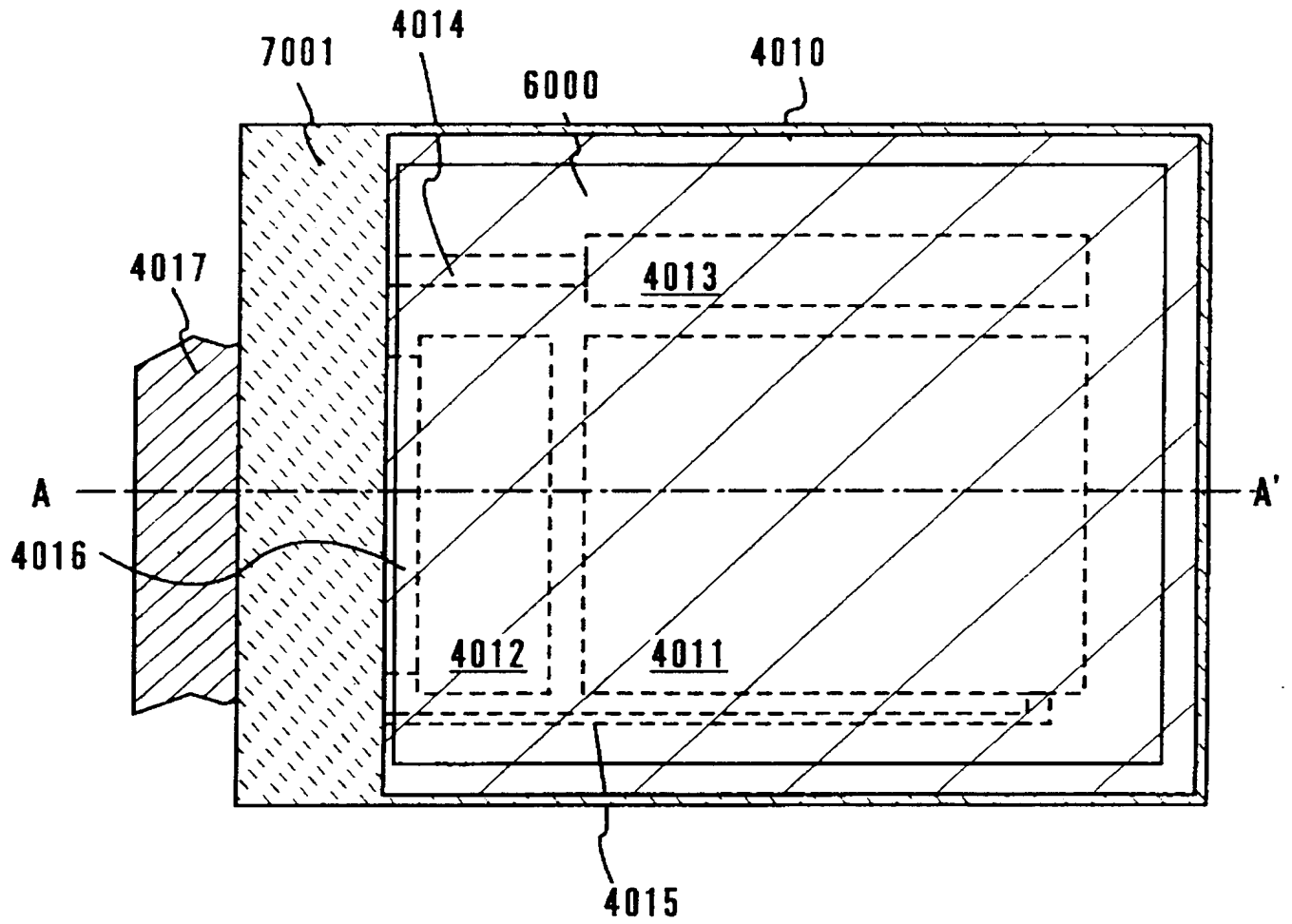
도면 7



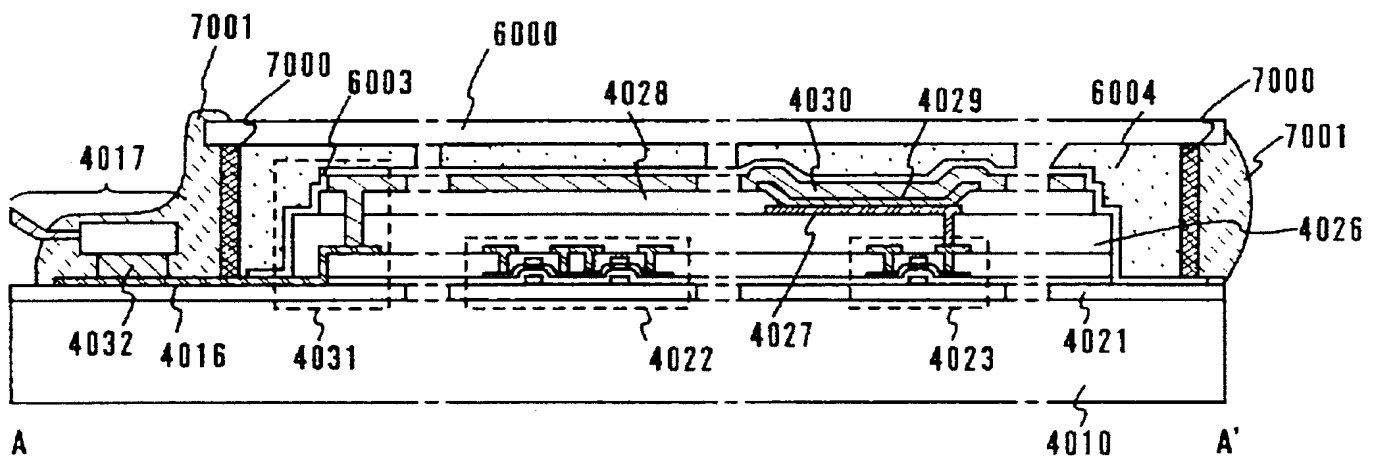
도면 8



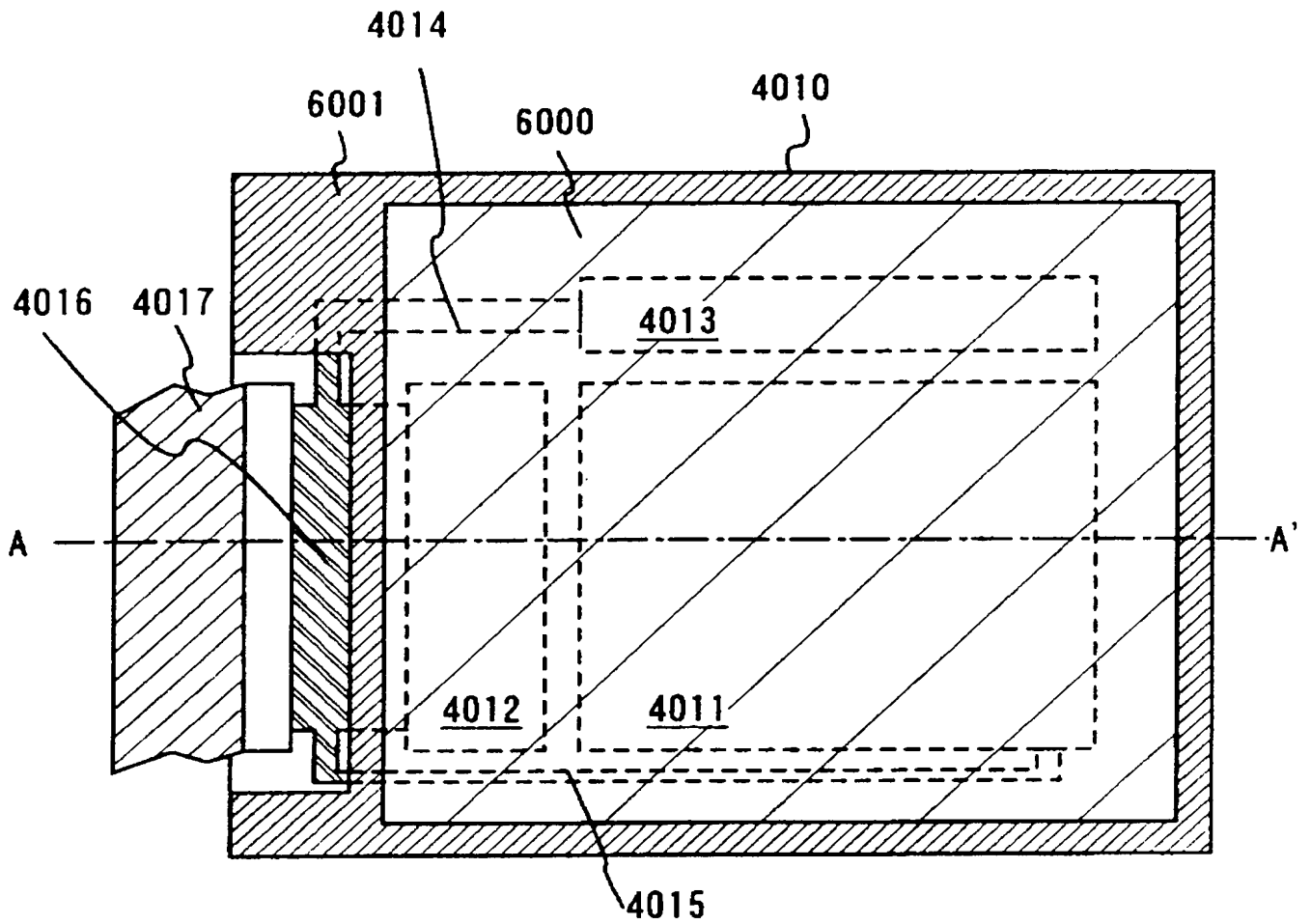
도면 9a



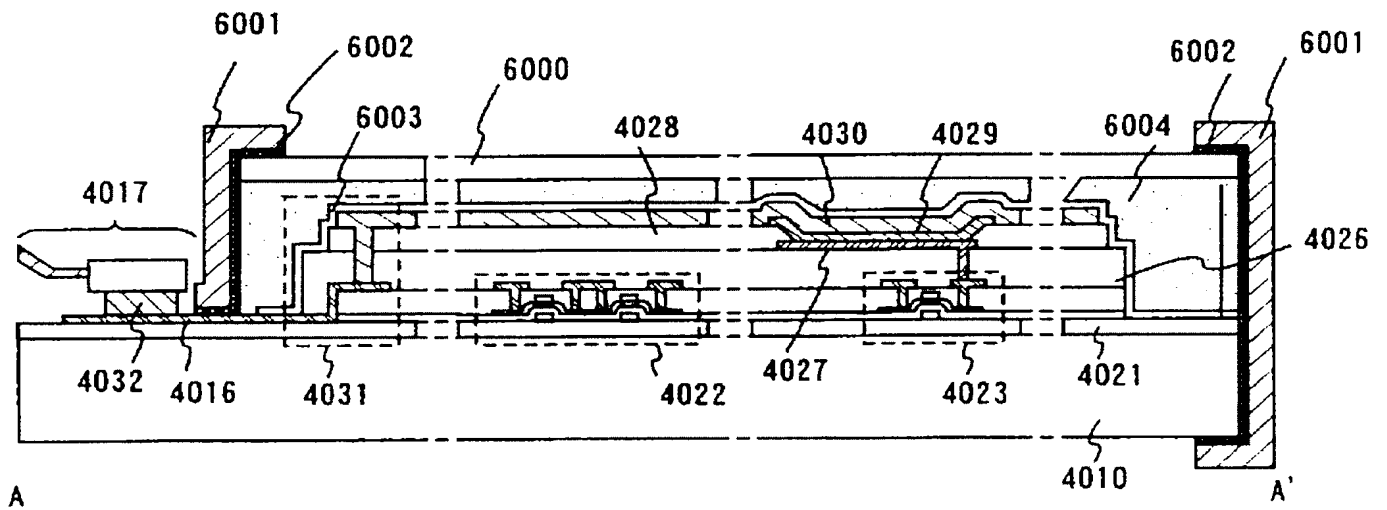
도면 9b



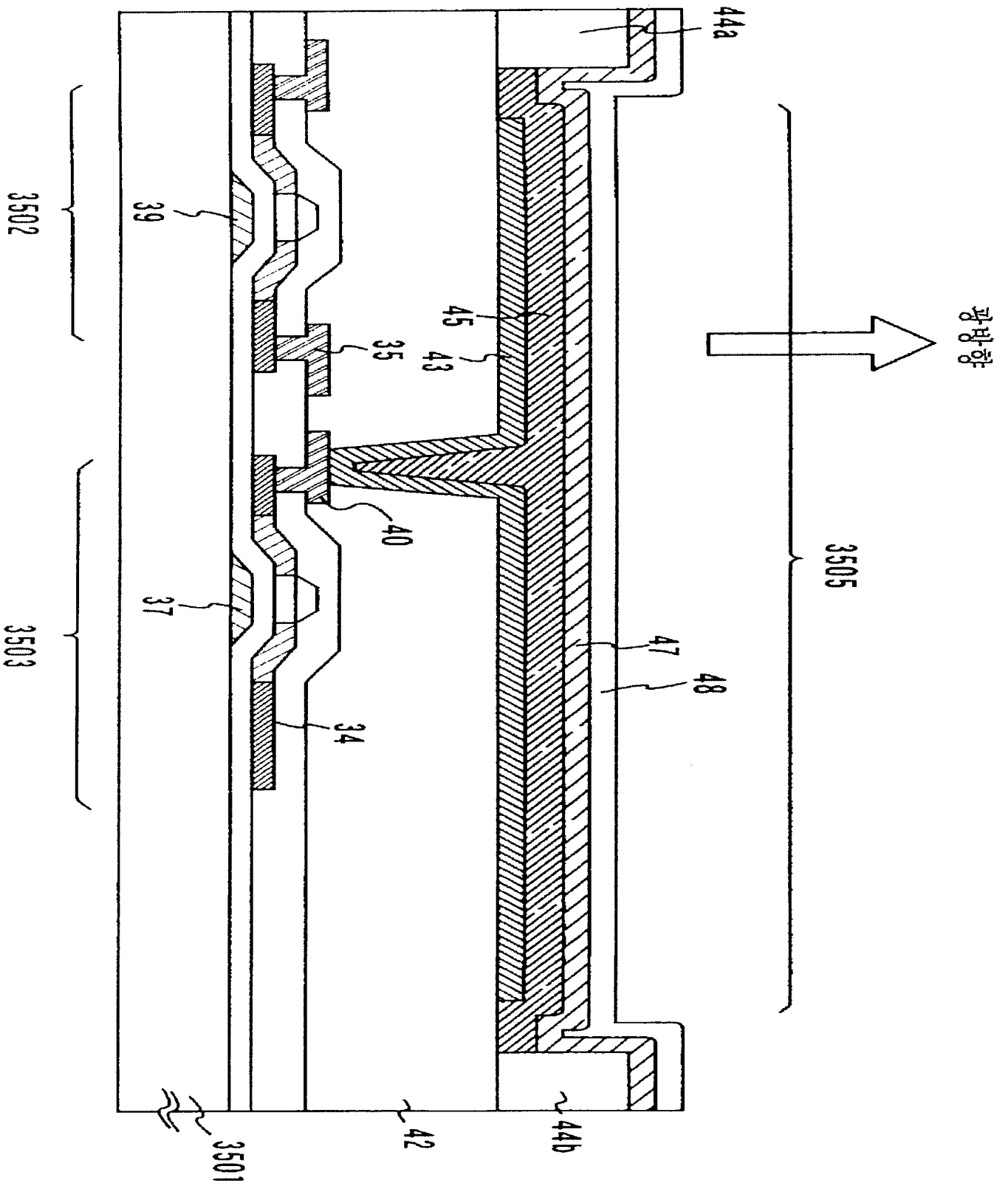
도면 10a



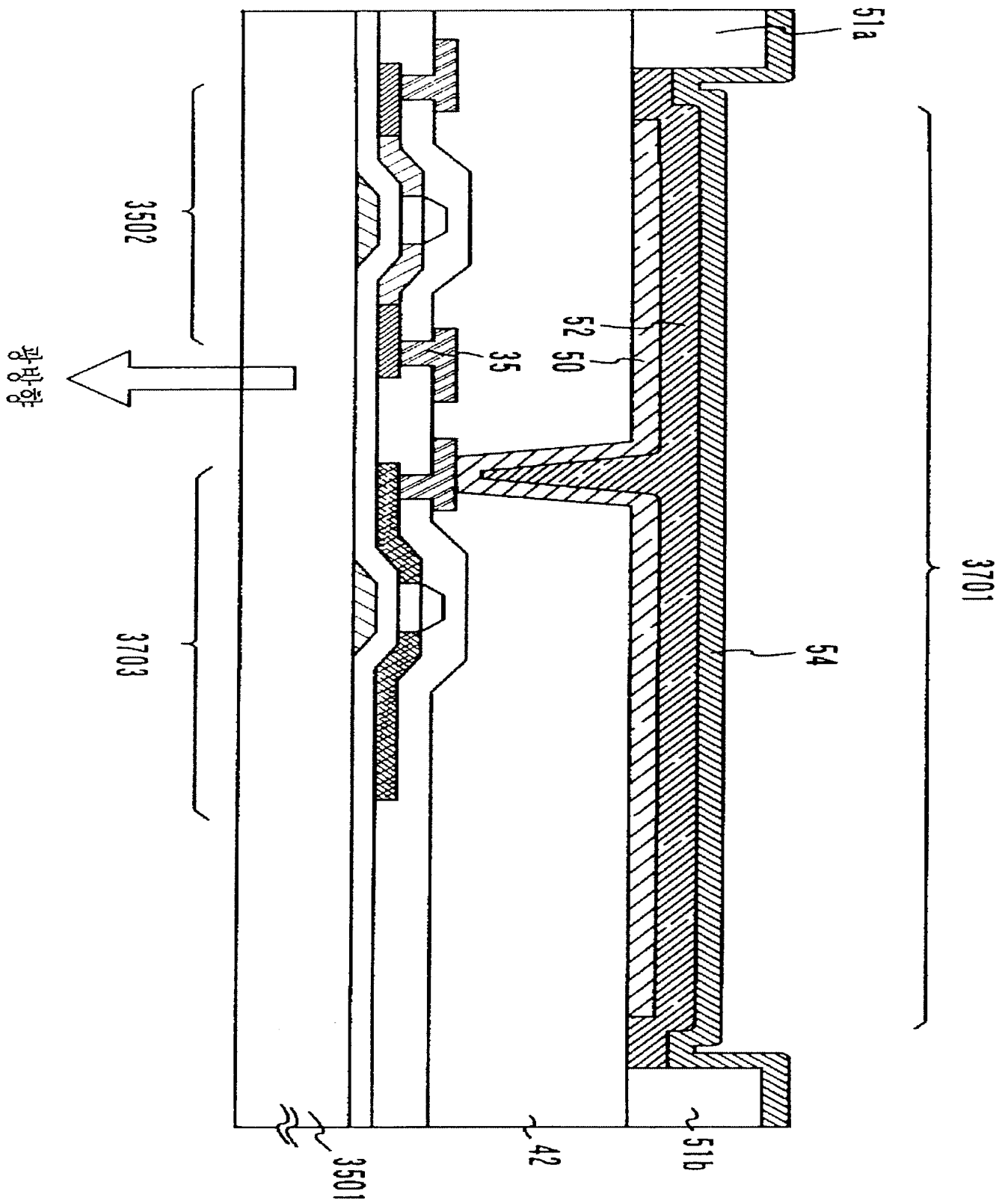
도면 10b



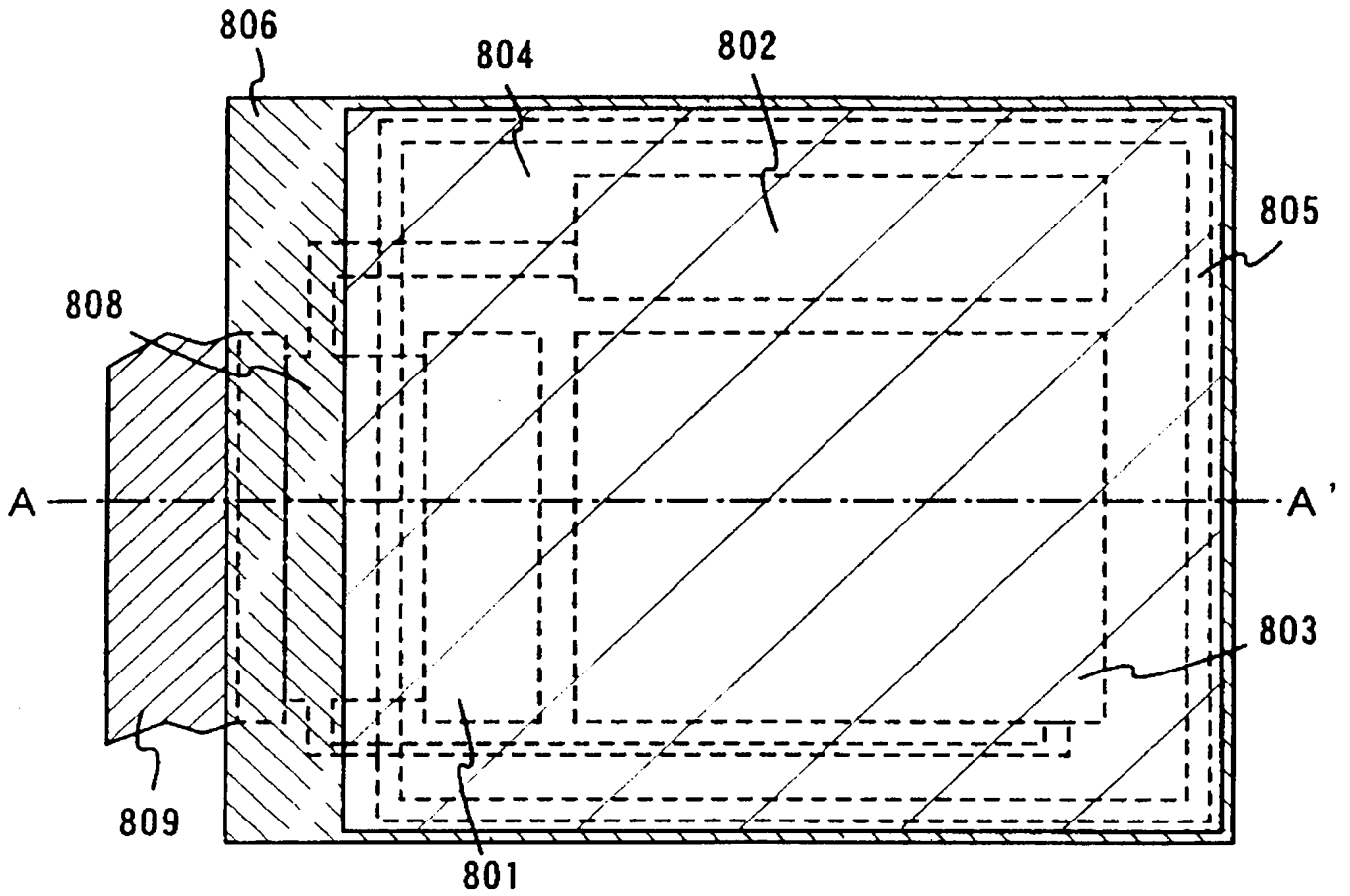
도면 11



도면 12



도면 13a



도면 13b

